


# 16 位

架构

# XE164FN, XE164GN, XE164HN, XE164KN

16 位单片实时信号控制器
XE166 家族衍生产品

## 数据手册

V1.2 2010-04

Microcontrollers

**Edition 2010-04**

**Published by**
**Infineon Technologies AG**
**81726 Munich, Germany**



**Legal Disclaimer**

The information given in this document shall in no event be regarded as a guarantee of conditions or characteristics. With respect to any examples or hints given herein, any typical values stated herein and/or any information regarding the application of the device, Infineon Technologies hereby disclaims any and all warranties and liabilities of any kind, including without limitation, warranties of non-infringement of intellectual property rights of any third party.

**Information**

For further information on technology, delivery terms and conditions and prices, please contact the nearest Infineon Technologies Office (**www.infineon.com**).

**Warnings**

Due to technical requirements, components may contain dangerous substances. For information on the types in question, please contact the nearest Infineon Technologies Office.

Infineon Technologies components may be used in life-support devices or systems only with the express written approval of Infineon Technologies, if a failure of such components can reasonably be expected to cause the failure of that life-support device or system or to affect the safety or effectiveness of that device or system. Life support devices or systems are intended to be implanted in the human body or to support and/or maintain and sustain and/or protect human life. If they fail, it is reasonable to assume that the health of the user or other persons may be endangered.




# 16 位

架构

# XE164FN, XE164GN, XE164HN, XE164KN

16 位单片实时信号控制器
XE166 家族衍生产品

## 数据手册

V1.2 2010-04

Microcontrollers





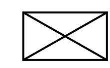
**XE164xN 数据手册**
**版本信息：V1.2，2010-04**

先前的版本：
V1.1, 2009-07
V1.0, 2009-03 初稿

| 页 | 内容（对上一版本的主要修正） |
|---|---|
| 33 | 增加 ID 值从而涵盖所有当前可用的芯片版本 |
| 67，69 | 增加“拉动电平电流”的测试条件 |
| 79 | 对于参数“停止模式的启动时间”：删除典型值，更正最大值 |
| 89 | 增加 $V_{AX1}$ 和输入时钟频率的依存关系 |
| 111 | 更正热阻值，数值仅应用于 4 层 PCB |



**期待您的指正**
本文档中如有不当、错误及遗漏之处，敬请批评指正，以便我们不断改进文档的质量。请将您的建议（以及该文档的相关参考资料）发送至：
**mcdocu-chinesecomments.XIY@infineon.com**



声明：本文档是基于英文版本的翻译，如出现与英文数据手册不符之处，请以英文数据手册为主。





目录：

**16 位单片**
**实时信号控制器**
**XE164xN（XE166 家族）**

# 1 特性总结

为了方便用户浏览和查找，将 XE164xN 的特性归纳如下：

- 具有五级流水线的高性能 CPU 和 MPU
  – CPU 时钟为 80 MHz 时，指令周期为 12.5 ns（单时钟周期指令执行）
  – 带 40 位结果的单周期 32 位加法和减法运算
  – 单周期乘法运算（16 × 16 位）
  – 21 个时钟周期的后台除法运算（32/16 位）
  – 单周期的乘累加（MAC）指令
  – 增强的布尔位操作能力
  – 零周期跳转执行
  – 支持 HLL 和操作系统的附加指令
  – 基于寄存器的设计，具有多个可变寄存器组
  – 两个附加的局部寄存器组，支持快速上下文切换
  – 16 MB 线性代码和数据地址空间
  – 1024 字节片上特殊功能寄存器区（与 C166 家族兼容）
  – 集成的存储器保护单元（MPU）
- 支持多达 96 个中断节点、分为 16 级优先级的中断系统
  – 可选择由外部输入产生中断和唤醒系统
  – 最快采样率达到 12.5 ns
- 由中断驱动的、支持单周期数据传送的 8 通道外围事件控制器（PEC），24 位指针可覆盖整个地址空间
- 使用片上 PLL 或预分频器、由内部或外部时钟源产生时钟
- 带有可编程多项式的硬件 CRC 检查器，用于监控片上存储器区域
- 片上存储器模块
  – 8 KB 片上备用 RAM（SBRAM）
  – 2 KB 片上双口 RAM（DPRAM）
  – 高达 16 KB 的片上数据 SRAM（DSRAM）
  – 高达 16 KB 的片上程序/数据 SRAM（PSRAM）

- 高达 320 KB 片上程序存储器（Flash 存储器）
- 通过纠错码（ECC）实现存储器内容保护

- 片上外设模块
  - 两个可同步的 ADC，具有多达 16 路通道、10 位转换精度、转换时间低至 1 µs、数据预处理（数据压缩、范围检查）可选以及断线检测等特性
  - 16 通道通用捕获/比较单元（CC2）
  - 两个用于灵活产生 PWM 信号的捕获/比较单元（CCU6x）
  - 带有 5 个定时器的多功能通用定时器单元
  - 多达 6 路串行接口通道，可用作 UART、LIN、高速同步通道（SPI/QSPI）、IIC 总线接口（10 位寻址，400 kbit/s）和 IIS 接口
  - 支持网关功能的片上 MultiCAN 接口（Rev. 2.0B active），具有 2 个 CAN 节点，多达 64 个报文对象（全功能/基本功能 CAN）
  - 片上系统定时器和片上实时时钟
- 高达 12 MB 的外部地址空间，用于存储代码和数据
  - 访问不同地址段时，外部总线特性可编程
  - 复用和非复用的外部地址/数据总线
  - 地址总线宽度可选
  - 16 位或 8 位数据总线
  - 4 个可编程的片选信号
- 单电源供电：3.0 V - 5.5 V
- 支持省电和唤醒模式
- 可编程的看门狗定时器和振荡器看门狗
- 多达 76 条通用 I/O 线
- 片上引导程序加载器
- 完整的开发工具支持，包括 C 编译器、宏汇编器、仿真器、评估板、HLL 调试器、模拟器、逻辑分析仪反汇编器、编程板
- 通过器件访问端口（DAP）或 JTAG 接口实现的片上调试支持
- 100 引脚绿色 LQFP 封装，0.5 mm（19.7 mil）引脚间距

**定购信息**

英飞凌微控制器的定购码为用户提供了特定产品的准确参考信息。定购码包含以下信息：

- 衍生产品的主要功能、温度范围和供电电压

- 温度范围：
  – SAF-…：-40 - 85℃
  – SAK-…：-40 -125℃
- 封装和交付类型

欲了解 XE164xN 的定购码，请联系销售代理或本地分销商。

## 1.1 器件类型

用户可通过英飞凌的直接和/或间接分销渠道订购以下XE164xN器件（归纳见 表 1）。SAF温度范围的器件可直接购买，SAK温度范围的器件需特别订购。

表 1　　XE164xN 器件型号一览

| 衍生产品 | Flash 存储器 [1] | PSRAM DSRAM [2] | 捕获/比较模块 | ADC[3] 通道 | 接口 [3] |
|---|---|---|---|---|---|
| XE164FN-16F80L | 128 KB | 8 KB<br>8 KB | CC2<br>CCU60/1 | 11 + 5 | 2 个 CAN 节点<br>6 路串行通道 |
| XE164FN-24F80L | 192 KB | 8 KB<br>16 KB | CC2<br>CCU60/1 | 11 + 5 | 2 个 CAN 节点<br>6 路串行通道 |
| XE164FN-40F80L | 320 KB | 16 KB<br>16 KB | CC2<br>CCU60/1 | 11 + 5 | 2 个 CAN 节点<br>6 路串行通道 |
| XE164GN-16F80L | 128 KB | 8 KB<br>8 KB | CC2<br>CCU60/1 | 6 + 5 | 2 个 CAN 节点<br>4 路串行通道 |
| XE164GN-24F80L | 192 KB | 8 KB<br>16 KB | CC2<br>CCU60/1 | 6 + 5 | 2 个 CAN 节点<br>4 路串行通道 |
| XE164GN-40F80L | 320 KB | 16 KB<br>16 KB | CC2<br>CCU60/1 | 6 + 5 | 2 个 CAN 节点<br>4 路串行通道 |
| XE164HN-16F80L | 128 KB | 8 KB<br>8 KB | CC2<br>CCU60/1 | 11 + 5 | 无 CAN 节点<br>6 路串行通道 |
| XE164HN-24F80L | 192 KB | 8 KB<br>16 KB | CC2<br>CCU60/1 | 11 + 5 | 无 CAN 节点<br>6 路串行通道 |





| 衍生产品 | Flash 存储器 [1] | PSRAM DSRAM[2] | 捕获/比较模块 | ADC[3] 通道 | 接口 [3] |
|---|---|---|---|---|---|
| XE164HN-40F80L | 320 KB | 16 KB<br>16 KB | CC2<br>CCU60/1 | 11 + 5 | 无 CAN 节点<br>6 路串行通道 |
| XE164KN-16F80L | 128 KB | 8 KB<br>8 KB | CC2<br>CCU60/1 | 6 + 5 | 无 CAN 节点<br>4 路串行通道 |
| XE164KN-24F80L | 192 KB | 8 KB<br>16 KB | CC2<br>CCU60/1 | 6 + 5 | 无 CAN 节点<br>4 路串行通道 |
| XE164KN-40F80L | 320 KB | 16 KB<br>16 KB | CC2<br>CCU60/1 | 6 + 5 | 无 CAN 节点<br>4 路串行通道 |

1）片上Flash存储器的详细信息见 表 2。

2）所有衍生产品额外提供 8 KB SBRAM 和 2 KB DPRAM。

3）可用通道的详细信息见 表 4。单独列出每个ADC模块（ADC0+ADC1）的模拟输入通道。

## 1.2 不同衍生产品的特性比较

XE164xN器件为用户提供多种容量的Flash存储器。表 2 和 表 3 列出不同容量Flash的存储地址和空间。

表 2　　Flash 存储器的连续地址空间

| Flash 总容量 | 区域 1[1] | 区域 2 | 区域 3 |
|---|---|---|---|
| 320 KB | C0’0000$_H$….<br>C0’EFFF$_H$ | C1’0000$_H$….<br>C4’FFFF$_H$ | 不可用 |
| 192 KB | C0’0000$_H$….<br>C0’EFFF$_H$ | C1’0000$_H$….<br>C1’FFFF$_H$ | C4’0000$_H$….<br>C4’FFFF$_H$ |
| 128 KB | C0’0000$_H$….<br>C0’EFFF$_H$ | C4’0000$_H$….<br>C4’FFFF$_H$ | 不可用 |

1）第一个 Flash 区段的最高 4 KB 扇区保留、供内部使用（C0’F000$_H$ 至 C0’FFFF$_H$）。

表 3　　Flash 存储器模块分配（以 KB 为单位）

| Flash 总容量 | Flash 0[1] | Flash 1 |
|---|---|---|
| 320 | 256 | 64 |
| 192 | 128 | 64 |
| 128 | 64 | 64 |

1）第一个 Flash 区段的最高 4 KB 扇区保留、供内部使用（C0'F000$_H$ 至 C0'FFFF$_H$）。

XE164xN器件为用户提供多种不同的接口选择。表 4 列出每种接口的可用通道。

表 4　　接口通道分配

| 总数 | 可用通道/报文对象 |
|---|---|
| 6 路 ADC0 通道 | CH0, CH2…CH5, CH8 |
| 11 路 ADC0 通道 | CH0, CH2…CH5, CH8…CH11, CH13, CH15 |
| 5 路 ADC1 通道 | CH0, CH2, CH4…CH6 |
| 2 个 CAN 节点 | CAN0, CAN1<br>64 个报文对象 |
| 4 路串行通道 | U0C0, U0C1, U1C0, U1C1 |
| 6 路串行通道 | U0C0, U0C1, U1C0, U1C1, U2C0, U2C1 |

XE164xN器件为用户提供多种容量的SRAM存储器。PSRAM和DSRAM的地址分配规则如 图 1 所示。需要注意，二者的地址分配规则不同：

- PSRAM 的地址分配从**低位**地址开始
- DSRAM 的地址分配从**高位**地址开始

以 8KB PSRAM 和 8KB DSRAM 为例：前者的地址分配为 E0'0000h-E0'1FFFh，后者的地址分配为 00'C000h-00'DFFFh。

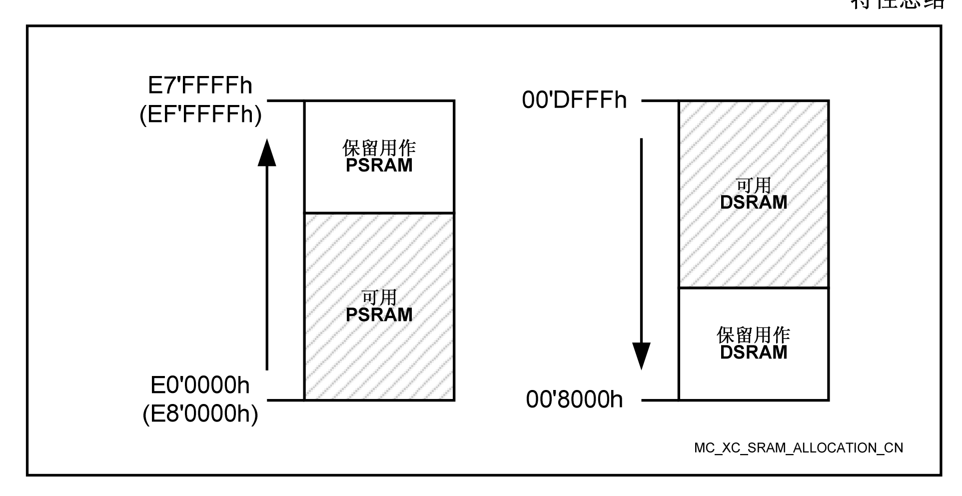



图 1 **SRAM 的地址分配**





# 2 通用器件信息

XE164xN 系列（16 位单片实时信号控制器）是英飞凌 XE166 家族全功能单片 CMOS 微控制器的成员之一。相对 C166 微控制器而言，XE164xN 在指令（MAC 单元）、外设和速度方面进行了功能和性能扩展。这些器件将高性能 CPU（每秒高达 8000 万条指令）、扩展的外设功能和增强的 IO 能力完美结合。优化的外设组可灵活的满足应用需要。这些衍生产品使用 PLL 和内部或外部时钟源产生时钟。片上存储器模块包括程序 Flash、程序 RAM 和数据 RAM。

$V_{AREF}$ (1) $V_{AGND}$ (1) $V_{DDI}$ (4) $V_{DDP}$ (9) $V_{SS}$ (4)

XTAL1
XTAL2
$\overline{ESR0}$
$\overline{ESR1}$
P10口 16位
P15口 5位
P5口 11位

P0口 8位
P1口 8位
P2口 14位
P4口 4位
P6口 3位
P7口 5位

$\overline{PORST}$ $\overline{TESTM}$ $\overline{TRST}$ DAP/JTAG 2 / 4 位 调试 2位 通过端口引脚

MC_XY_LOGSYMB100_CN

**图 2　　XE164xN 的逻辑符号**





## 2.1 引脚配置和定义

XE164xN引脚的详细描述见 表 5，其中包括所有的复用功能。更多说明请参见该表下方的脚注。图 3 示出所有引脚以及它们的封装位置。

LQFP-100

1 $V_{SS}$
2 $V_{DDPB}$
3 $\overline{TESTM}$
4 P7.2
5 $\overline{TRST}$
6 P7.0
7 P7.3
8 P7.1
9 P7.4
10 $V_{DDIM}$
11 P6.0
12 P6.1
13 P6.2
14 $V_{DDPA}$
15 P15.0
16 P15.2
17 P15.4
18 P15.5
19 P15.6
20 $V_{AREF}$
21 $V_{AGND}$
22 P5.0
23 P5.2
24 P5.3
25 $V_{DDPB}$
26 $V_{SS}$
27 $V_{DDPB}$
28 P5.4
29 P5.5
30 P5.8
31 P5.9
32 P5.10
33 P5.11
34 P5.13
35 P5.15
36 P2.12
37 P2.11
38 $V_{DDI1}$
39 P2.0
40 P2.1
41 P2.2
42 P4.0
43 P2.3
44 P4.1
45 P2.4
46 P2.5
47 P4.2
48 P2.6
49 P4.3
50 $V_{DDPB}$
51 $V_{SS}$
52 $V_{DDPB}$
53 P0.0
54 P2.7
55 P0.1
56 P2.8
57 P2.9
58 P0.2
59 P10.0
60 P10.1
61 P0.3
62 P10.2
63 P0.4
64 $V_{DDI1}$
65 P2.13
66 P2.10
67 P10.3
68 P0.5
69 P10.4
70 P10.5
71 P0.6
72 P10.6
73 P10.7
74 P0.7
75 $V_{DDPB}$
76 $V_{SS}$
77 $V_{DDPB}$
78 P1.0
79 P10.8
80 P10.9
81 P1.1
82 P10.10
83 P10.11
84 P1.2
85 P10.12
86 P10.13
87 P1.3
88 $V_{DDI1}$
89 P10.14
90 P1.4
91 P10.15
92 P1.5
93 P1.6
94 P1.7
95 XTAL2
96 XTAL1
97 $\overline{PORST}$
98 $\overline{ESR1}$
99 $\overline{ESR0}$
100 $V_{DDPB}$

MC_XY_PIN100_CN

图 3 XE164xN 的引脚配置（顶视图）

引脚定义的说明

- **控制**：端口引脚的输出信号由相关寄存器 Px_IOCRy 中的位域 PC 进行选择。设置位域 PC 为 $1x00_B$ 选择输出 O0；设置为 $1x01_B$ 选择输出 O1，以此类推。输出信号 OH 由硬件控制。
- **类型**：指示引出端类型和它的电源域（A、B、M、1）。
  - St：标准引出端
  - Sp：特殊引出端，如 XTALx
  - DP：双功能引出端 – 可用作标准或高速引出端
  - In：输入引出端
  - PS：电源引出端

表 **5** 引脚定义和功能

| 引脚 | 符号 | 控制 | 类型 | 功能 |
|---|---|---|---|---|
| 3 | $\overline{\text{TESTM}}$ | I | In/B | **测试模式使能**<br>使能工厂测试模式，正常工作时必须保持高电平（连至 $V_{DDPB}$）。<br>该引脚不被驱动时，内部上拉器件将其拉高。 |
| 4 | P7.2 | O0/I | St/B | **P7 口的位 2，通用输入/输出** |
| | EMUX0 | O1 | St/B | **外部模拟复用器的控制输出 0（ADC1）** |
| | TDI_C | IH | St/B | **JTAG 测试数据输入**<br>若在启动期间选择 JTAG pos C，该引脚不被驱动时，内部上拉器件将其保持为高。 |
| 5 | $\overline{\text{TRST}}$ | I | In/B | **测试系统复位输入**<br>系统正常工作时，该引脚应保持低电平。$\overline{\text{PORST}}$ 发生上升沿跳变时，该引脚上的高电平将激活 XE164xN 的调试系统。在这种情况下，一旦复位调试系统，引脚 $\overline{\text{TRST}}$ 必须拉低。<br>该引脚不被驱动时，内部下拉器件将其保持为低。 |

| 引脚 | 符号 | 控制 | 类型 | 功能 |
|---|---|---|---|---|
| 6 | P7.0 | O0/I | St/B | **P7 口的位 0，通用输入/输出** |
| | T3OUT | O1 | St/B | **GPT12E 定时器 T3 翻转锁存输出** |
| | T6OUT | O2 | St/B | **GPT12E 定时器 T6 翻转锁存输出** |
| | TDO_A | OH/<br>IH | St/B | **JTAG 测试数据输出/DAP1 输入/输出**<br>若在启动期间选择 DAP pos 0 或 2，该引脚不被驱动时，内部下拉器件将其保持为低。 |
| | ESR2_1 | I | St/B | **ESR2 触发输入 1** |
| 7 | P7.3 | O0/I | St/B | **P7 口的位 3，通用输入/输出** |
| | EMUX1 | O1 | St/B | 外部模拟复用器的控制输出 **1（ADC1）** |
| | U0C1_DOUT | O2 | St/B | **USIC0 通道 1 移位数据输出** |
| | U0C0_DOUT | O3 | St/B | **USIC0 通道 0 移位数据输出** |
| | TMS_C | IH | St/B | **JTAG 测试模式选择输入**<br>若在启动期间选择 JTAG pos C，该引脚不被驱动时，内部上拉器件将其保持为高。 |
| | U0C1_DX0F | I | St/B | **USIC0 通道 1 移位数据输入** |
| 8 | P7.1 | O0/I | St/B | **P7 口的位 1，通用输入/输出** |
| | EXTCLK | O1 | St/B | 可编程时钟信号输出 |
| | $\overline{\text{BRKIN_C}}$ | I | St/B | **OCDS 断点信号输入** |
| 9 | P7.4 | O0/I | St/B | **P7 口的位 4，通用输入/输出** |
| | EMUX2 | O1 | St/B | 外部模拟复用器的控制输出 **2（ADC1）** |
| | U0C1_DOUT | O2 | St/B | **USIC0 通道 1 移位数据输出** |
| | U0C1_<br>SCLKOUT | O3 | St/B | **USIC0 通道 1 移位时钟输出** |

| 引脚 | 符号 | 控制 | 类型 | 功能 |
|---|---|---|---|---|
| | TCK_C | IH | St/B | **DAP0/JTAG 时钟输入**<br>若在启动期间选择 JTAG pos C，该引脚不被驱动时，内部上拉器件将其保持为高。<br>若在启动期间选择 DAP pos 2，该引脚不被驱动时，内部下拉器件将其保持为低。 |
| | U0C0_DX0D | I | St/B | **USIC0 通道 0 移位数据输入** |
| | U0C1_DX1E | I | St/B | **USIC0 通道 1 移位时钟输入** |
| 11 | P6.0 | O0/I | DA/A | **P6 口的位 0，通用输入/输出** |
| | EMUX0 | O1 | DA/A | 外部模拟复用器的控制输出 **0**（**ADC0**） |
| | $\overline{\text{BRKOUT}}$ | O3 | DA/A | **OCDS 断点信号输出** |
| | ADCx_REQGTyG | I | DA/A | **ADC0/1 的外部请求门控输入** |
| | U1C1_DX0E | I | DA/A | **USIC1 通道 1 移位数据输入** |
| 12 | P6.1 | O0/I | DA/A | **P6 口的位 1，通用输入/输出** |
| | EMUX1 | O1 | DA/A | 外部模拟复用器的控制输出 **1**（**ADC0**） |
| | T3OUT | O2 | DA/A | **GPT12E 定时器 T3 翻转锁存输出** |
| | U1C1_DOUT | O3 | DA/A | **USIC1 通道 1 移位数据输出** |
| | ADCx_REQTRyE | I | DA/A | **ADC0/1 的外部请求触发输入** |
| | ESR1_6 | I | DA/A | **ESR1 触发输入 6** |
| 13 | P6.2 | O0/I | DA/A | **P6 口的位 2，通用输入/输出** |
| | EMUX2 | O1 | DA/A | 外部模拟复用器的控制输出 **2**（**ADC0**） |
| | T6OUT | O2 | DA/A | **GPT12E 定时器 T6 翻转锁存输出** |
| | U1C1_SCLKOUT | O3 | DA/A | **USIC1 通道 1 移位时钟输出** |
| | U1C1_DX1C | I | DA/A | **USIC1 通道 1 移位时钟输入** |

| 引脚 | 符号 | 控制 | 类型 | 功能 |
|---|---|---|---|---|
| 15 | P15.0 | I | In/A | **P15** 口的位 **0**，通用输入 |
| | ADC1_CH0 | I | In/A | **ADC1** 的模拟输入通道 **0** |
| 16 | P15.2 | I | In/A | **P15** 口的位 **2**，通用输入 |
| | ADC1_CH2 | I | In/A | **ADC1** 的模拟输入通道 **2** |
| | T5INA | I | In/A | **GPT12E** 定时器 **T5** 计数**/**门控输入 |
| 17 | P15.4 | I | In/A | **P15** 口的位 **4**，通用输入 |
| | ADC1_CH4 | I | In/A | **ADC1** 的模拟输入通道 **4** |
| | T6INA | I | In/A | **GPT12E** 定时器 **T6** 计数**/**门控输入 |
| 18 | P15.5 | I | In/A | **P15** 口的位 **5**，通用输入 |
| | ADC1_CH5 | I | In/A | **ADC1** 的模拟输入通道 **5** |
| | T6EUDA | I | In/A | **GPT12E** 定时器 **T6** 外部递增**/**递减控制输入 |
| 19 | P15.6 | I | In/A | **P15** 口的位 **6**，通用输入 |
| | ADC1_CH6 | I | In/A | **ADC1** 的模拟输入通道 **6** |
| 20 | $V_{AREF}$ | - | PS/A | **A/D** 转换器 **ADC0/1** 的参考电压 |
| 21 | $V_{AGND}$ | - | PS/A | **A/D** 转换器 **ADC0/1** 的参考地 |
| 22 | P5.0 | I | In/A | **P5** 口的位 **0**，通用输入 |
| | ADC0_CH0 | I | In/A | **ADC0** 的模拟输入通道 **0** |
| 23 | P5.2 | I | In/A | **P5** 口的位 **2**，通用输入 |
| | ADC0_CH2 | I | In/A | **ADC0** 的模拟输入通道 **2** |
| | TDI_A | I | In/A | **JTAG** 测试数据输入 |
| 24 | P5.3 | I | In/A | **P5** 口的位 **3**，通用输入 |
| | ADC0_CH3 | I | In/A | **ADC0** 的模拟输入通道 **3** |
| | T3INA | I | In/A | **GPT12E** 定时器 **T3** 计数**/**门控输入 |
| 28 | P5.4 | I | In/A | **P5** 口的位 **4**，通用输入 |

| 引脚 | 符号 | 控制 | 类型 | 功能 |
|---|---|---|---|---|
| | ADC0_CH4 | I | In/A | ADC0 的模拟输入通道 4 |
| | T3EUDA | I | In/A | GPT12E 定时器 T3 外部递增/递减控制输入 |
| | TMS_A | I | In/A | JTAG 测试模式选择输入 |
| 29 | P5.5 | I | In/A | P5 口的位 5，通用输入 |
| | ADC0_CH5 | I | In/A | ADC0 的模拟输入通道 5 |
| | CCU60_ T12HRB | I | In/A | CCU60 T12 的外部运行控制输入 |
| 30 | P5.8 | I | In/A | P5 口的位 8，通用输入 |
| | ADC0_CH8 | I | In/A | ADC0 的模拟输入通道 8 |
| | ADC1_CH8 | I | In/A | ADC1 的模拟输入通道 8 |
| | CCU6x_ T12HRC | I | In/A | CCU60/1 T12 的外部运行控制输入 |
| | CCU6x_ T13HRC | I | In/A | CCU60/1 T13 的外部运行控制输入 |
| | U2C0_DX0F | I | In/A | USIC2 通道 0 移位数据输入 |
| 31 | P5.9 | I | In/A | P5 口的位 9，通用输入 |
| | ADC0_CH9 | I | In/A | ADC0 的模拟输入通道 9 |
| | ADC1_CH9 | I | In/A | ADC1 的模拟输入通道 9 |
| | CC2_T7IN | I | In/A | CAPCOM2 定时器 T7 计数输入 |
| 32 | P5.10 | I | In/A | P5 口的位 10，通用输入 |
| | ADC0_CH10 | I | In/A | ADC0 的模拟输入通道 10 |
| | ADC1_CH10 | I | In/A | ADC1 的模拟输入通道 10 |
| | $\overline{BRKIN_A}$ | I | In/A | OCDS 断点信号输入 |
| | U2C1_DX0F | I | In/A | USIC2 通道 1 移位数据输入 |
| | CCU61_ T13HRA | I | In/A | CCU61 T13 的外部运行控制输入 |





| 引脚 | 符号 | 控制 | 类型 | 功能 |
|---|---|---|---|---|
| 33 | P5.11 | I | In/A | P5 口的位 11，通用输入 |
| | ADC0_CH11 | I | In/A | ADC0 的模拟输入通道 11 |
| | ADC1_CH11 | I | In/A | ADC1 的模拟输入通道 11 |
| 34 | P5.13 | I | In/A | P5 口的位 13，通用输入 |
| | ADC0_CH13 | I | In/A | ADC0 的模拟输入通道 13 |
| 35 | P5.15 | I | In/A | P5 口的位 15，通用输入 |
| | ADC0_CH15 | I | In/A | ADC0 的模拟输入通道 15 |
| 36 | P2.12 | O0/I | St/B | P2 口的位 12，通用输入/输出 |
| | U0C0_SELO4 | O1 | St/B | USIC0 通道 0 选择/控制 4 输出 |
| | U0C1_SELO3 | O2 | St/B | USIC0 通道 1 选择/控制 3 输出 |
| | READY | IH | St/B | 外部总线接口 READY 输入 |
| 37 | P2.11 | O0/I | St/B | P2 口的位 11，通用输入/输出 |
| | U0C0_SELO2 | O1 | St/B | USIC0 通道 0 选择/控制 2 输出 |
| | U0C1_SELO2 | O2 | St/B | USIC0 通道 1 选择/控制 2 输出 |
| | $\overline{BHE}$ / $\overline{WRH}$ | OH | St/B | 外部总线接口高字节控制输出<br>可用作高字节使能（$\overline{BHE}$）或高字节写选通（$\overline{WRH}$）。 |
| 39 | P2.0 | O0/I | St/B | P2 口的位 0，通用输入/输出 |
| | AD13 | OH/<br>IH | St/B | 外部总线接口地址/数据线 13 |
| | RxDC0C | I | St/B | CAN 节点 0 接收数据输入 |
| | T5INB | I | St/B | GPT12E 定时器 T5 计数/门控输入 |
| 40 | P2.1 | O0/I | St/B | P2 口的位 1，通用输入/输出 |
| | TxDC0 | O1 | St/B | CAN 节点 0 发送数据输出 |
| | AD14 | OH/<br>IH | St/B | 外部总线接口地址/数据线 14 |

| 引脚 | 符号 | 控制 | 类型 | 功能 |
|---|---|---|---|---|
| | T5EUDB | I | St/B | **GPT12E** 定时器 **T5** 外部递增**/**递减控制输入 |
| | ESR1_5 | I | St/B | **ESR1** 触发输入 **5** |
| 41 | P2.2 | O0/I | St/B | **P2** 口的位 **2**，通用输入**/**输出 |
| | TxDC1 | O1 | St/B | **CAN** 节点 **1** 发送数据输出 |
| | AD15 | OH/<br>IH | St/B | 外部总线接口地址/数据线 **15** |
| | ESR2_5 | I | St/B | **ESR2** 触发输入 **5** |
| 42 | P4.0 | O0/I | St/B | **P4** 口的位 **0**，通用输入**/**输出 |
| | CC2_CC24 | O3/I | St/B | **CAPCOM2 CC24IO** 捕获输入**/**比较输出 |
| | $\overline{\text{CS0}}$ | OH | St/B | 外部总线接口片选 **0** 输出 |
| 43 | P2.3 | O0/I | St/B | **P2** 口的位 **3**，通用输入**/**输出 |
| | U0C0_DOUT | O1 | St/B | **USIC0** 通道 **0** 移位数据输出 |
| | CC2_CC16 | O3/I | St/B | **CAPCOM2 CC16IO** 捕获输入**/**比较输出 |
| | A16 | OH | St/B | 外部总线接口地址线 **16** |
| | ESR2_0 | I | St/B | **ESR2** 触发输入 **0** |
| | U0C0_DX0E | I | St/B | **USIC0** 通道 **0** 移位数据输入 |
| | U0C1_DX0D | I | St/B | **USIC0** 通道 **1** 移位数据输入 |
| | RxDC0A | I | St/B | **CAN** 节点 **0** 接收数据输入 |
| 44 | P4.1 | O0/I | St/B | **P4** 口的位 **1**，通用输入**/**输出 |
| | CC2_CC25 | O3/I | St/B | **CAPCOM2 CC25IO** 捕获输入**/**比较输出 |
| | $\overline{\text{CS1}}$ | OH | St/B | 外部总线接口片选 **1** 输出 |
| | T4EUDB | I | St/B | **GPT12E** 定时器 **T4** 外部递增**/**递减控制输入 |
| | ESR1_8 | I | St/B | **ESR1** 触发输入 **8** |

| 引脚 | 符号 | 控制 | 类型 | 功能 |
|---|---|---|---|---|
| 45 | P2.4 | O0/I | St/B | **P2** 口的位 **4**，通用输入**/**输出 |
| | U0C1_DOUT | O1 | St/B | **USIC0** 通道 **1** 移位数据输出 |
| | TxDC0 | O2 | St/B | **CAN** 节点 **0** 发送数据输出 |
| | CC2_CC17 | O3/I | St/B | **CAPCOM2 CC17IO** 捕获输入**/**比较输出 |
| | A17 | OH | St/B | 外部总线接口地址线 **17** |
| | ESR1_0 | I | St/B | **ESR1** 触发输入 **0** |
| | U0C0_DX0F | I | St/B | **USIC0** 通道 **0** 移位数据输入 |
| | RxDC1A | I | St/B | **CAN** 节点 **1** 接收数据输入 |
| 46 | P2.5 | O0/I | St/B | **P2** 口的位 **5**，通用输入**/**输出 |
| | U0C0_ SCLKOUT | O1 | St/B | **USIC0** 通道 **0** 移位时钟输出 |
| | TxDC0 | O2 | St/B | **CAN** 节点 **0** 发送数据输出 |
| | CC2_CC18 | O3/I | St/B | **CAPCOM2 CC18IO** 捕获输入**/**比较输出 |
| | A18 | OH | St/B | 外部总线接口地址线 **18** |
| | U0C0_DX1D | I | St/B | **USIC0** 通道 **0** 移位时钟输入 |
| | ESR1_10 | I | St/B | **ESR1** 触发输入 **10** |
| 47 | P4.2 | O0/I | St/B | **P4** 口的位 **2**，通用输入**/**输出 |
| | CC2_CC26 | O3/I | St/B | **CAPCOM2 CC26IO** 捕获输入**/**比较输出 |
| | $\overline{\text{CS2}}$ | OH | St/B | 外部总线接口片选 **2** 输出 |
| | T2INA | I | St/B | **GPT12E** 定时器 **T2** 计数**/**门控输入 |
| 48 | P2.6 | O0/I | St/B | **P2** 口的位 **6**，通用输入**/**输出 |
| | U0C0_SELO0 | O1 | St/B | **USIC0** 通道 **0** 选择**/**控制 **0** 输出 |
| | U0C1_SELO1 | O2 | St/B | **USIC0** 通道 **1** 选择**/**控制 **1** 输出 |
| | CC2_CC19 | O3/I | St/B | **CAPCOM2 CC19IO** 捕获输入**/**比较输出 |
| | A19 | OH | St/B | 外部总线接口地址线 **19** |

| 引脚 | 符号 | 控制 | 类型 | 功能 |
|---|---|---|---|---|
| | U0C0_DX2D | I | St/B | **USIC0** 通道 **0** 移位控制输入 |
| | RxDC0D | I | St/B | **CAN** 节点 **0** 接收数据输入 |
| | ESR2_6 | I | St/B | **ESR2** 触发输入 **6** |
| 49 | P4.3 | O0/I | St/B | **P4** 口的位 **3**，通用输入**/**输出 |
| | U0C1_DOUT | O1 | St/B | **USIC0** 通道 **1** 移位数据输出 |
| | CC2_CC27 | O3/I | St/B | **CAPCOM2 CC27IO** 捕获输入**/**比较输出 |
| | $\overline{\text{CS3}}$ | OH | St/B | 外部总线接口片选 **3** 输出 |
| | T2EUDB | I | St/B | **GPT12E** 定时器 **T2** 外部递增**/**递减控制输入 |
| 53 | P0.0 | O0/I | St/B | **P0** 口的位 **0**，通用输入**/**输出 |
| | U1C0_DOUT | O1 | St/B | **USIC1** 通道 **0** 移位数据输出 |
| | CCU61_ CC60 | O3 | St/B | **CCU61** 通道 **0** 输出 |
| | A0 | OH | St/B | 外部总线接口地址线 **0** |
| | U1C0_DX0A | I | St/B | **USIC1** 通道 **0** 移位数据输入 |
| | CCU61_ CC60INA | I | St/B | **CCU61** 通道 **0** 输入 |
| | ESR1_11 | I | St/B | **ESR1** 触发输入 **11** |
| 54 | P2.7 | O0/I | St/B | **P2** 口的位 **7**，通用输入**/**输出 |
| | U0C1_SELO0 | O1 | St/B | **USIC0** 通道 **1** 选择**/**控制 **0** 输出 |
| | U0C0_SELO1 | O2 | St/B | **USIC0** 通道 **0** 选择**/**控制 **1** 输出 |
| | CC2_CC20 | O3/I | St/B | **CAPCOM2 CC20IO** 捕获输入**/**比较输出 |
| | A20 | OH | St/B | 外部总线接口地址线 **20** |
| | U0C1_DX2C | I | St/B | **USIC0** 通道 **1** 移位控制输入 |
| | RxDC1C | I | St/B | **CAN** 节点 **1** 接收数据输入 |
| | ESR2_7 | I | St/B | **ESR2** 触发输入 **7** |

| 引脚 | 符号 | 控制 | 类型 | 功能 |
|---|---|---|---|---|
| 55 | P0.1 | O0/I | St/B | **P0** 口的位 **1**，通用输入**/**输出 |
| | U1C0_DOUT | O1 | St/B | **USIC1** 通道 **0** 移位数据输出 |
| | TxDC0 | O2 | St/B | **CAN** 节点 **0** 发送数据输出 |
| | CCU61_CC61 | O3 | St/B | **CCU61** 通道 **1** 输出 |
| | A1 | OH | St/B | 外部总线接口地址线 **1** |
| | U1C0_DX0B | I | St/B | **USIC1** 通道 **0** 移位数据输入 |
| | CCU61_ CC61INA | I | St/B | **CCU61** 通道 **1** 输入 |
| | U1C0_DX1A | I | St/B | **USIC1** 通道 **0** 移位时钟输入 |
| 56 | P2.8 | O0/I | DP/B | **P2** 口的位 **8**，通用输入**/**输出 |
| | U0C1_ SCLKOUT | O1 | DP/B | **USIC0** 通道 **1** 移位时钟输出 |
| | EXTCLK | O2 | DP/B | 可编程时钟信号输出 [1] |
| | CC2_CC21 | O3/I | DP/B | **CAPCOM2 CC21IO** 捕获输入**/**比较输出 |
| | A21 | OH | DP/B | 外部总线接口地址线 **21** |
| | U0C1_DX1D | I | DP/B | **USIC0** 通道 **1** 移位时钟输入 |
| 57 | P2.9 | O0/I | St/B | **P2** 口的位 **9**，通用输入**/**输出 |
| | U0C1_DOUT | O1 | St/B | **USIC0** 通道 **1** 移位数据输出 |
| | TxDC1 | O2 | St/B | **CAN** 节点 **1** 发送数据输出 |
| | CC2_CC22 | O3/I | St/B | **CAPCOM2 CC22IO** 捕获输入**/**比较输出 |
| | A22 | OH | St/B | 外部总线接口地址线 **22** |
| | CLKIN1 | I | St/B | 时钟信号输入 **1** |

| 引脚 | 符号 | 控制 | 类型 | 功能 |
|---|---|---|---|---|
| | TCK_A | IH | St/B | **DAP0/JTAG 时钟输入**<br>若在启动期间选择 JTAG pos A，该引脚不被驱动时，内部上拉器件将其保持为高。<br>若在启动期间选择 DAP pos 0，该引脚不被驱动时，内部下拉器件将其保持为低。 |
| 58 | P0.2 | O0/I | St/B | **P0 口的位 2，通用输入/输出** |
| | U1C0_<br>SCLKOUT | O1 | St/B | **USIC1 通道 0 移位时钟输出** |
| | TxDC0 | O2 | St/B | **CAN 节点 0 发送数据输出** |
| | CCU61_CC62 | O3 | St/B | **CCU61 通道 2 输出** |
| | A2 | OH | St/B | **外部总线接口地址线 2** |
| | U1C0_DX1B | I | St/B | **USIC1 通道 0 移位时钟输入** |
| | CCU61_<br>CC62INA | I | St/B | **CCU61 通道 2 输入** |
| 59 | P10.0 | O0/I | St/B | **P10 口的位 0，通用输入/输出** |
| | U0C1_DOUT | O1 | St/B | **USIC0 通道 1 移位数据输出** |
| | CCU60_CC60 | O2 | St/B | **CCU60 通道 0 输出** |
| | AD0 | OH/<br>IH | St/B | **外部总线接口地址/数据线 0** |
| | CCU60_<br>CC60INA | I | St/B | **CCU60 通道 0 输入** |
| | ESR1_2 | I | St/B | **ESR1 触发输入 2** |
| | U0C0_DX0A | I | St/B | **USIC0 通道 0 移位数据输入** |
| | U0C1_DX0A | I | St/B | **USIC0 通道 1 移位数据输入** |
| 60 | P10.1 | O0/I | St/B | **P10 口的位 1，通用输入/输出** |
| | U0C0_DOUT | O1 | St/B | **USIC0 通道 0 移位数据输出** |
| | CCU60_CC61 | O2 | St/B | **CCU60 通道 1 输出** |

| 引脚 | 符号 | 控制 | 类型 | 功能 |
|---|---|---|---|---|
| | AD1 | OH/<br>IH | St/B | 外部总线接口地址/数据线 1 |
| | CCU60_<br>CC61INA | I | St/B | CCU60 通道 1 输入 |
| | U0C0_DX1A | I | St/B | USIC0 通道 0 移位时钟输入 |
| | U0C0_DX0B | I | St/B | USIC0 通道 0 移位数据输入 |
| 61 | P0.3 | O0/I | St/B | P0 口的位 3，通用输入/输出 |
| | U1C0_SELO0 | O1 | St/B | USIC1 通道 0 选择/控制 0 输出 |
| | U1C1_SELO1 | O2 | St/B | USIC1 通道 1 选择/控制 1 输出 |
| | CCU61_<br>COUT60 | O3 | St/B | CCU61 通道 0 输出 |
| | A3 | OH | St/B | 外部总线接口地址线 3 |
| | U1C0_DX2A | I | St/B | USIC1 通道 0 移位控制输入 |
| | RxDC0B | I | St/B | CAN 节点 0 接收数据输入 |
| 62 | P10.2 | O0/I | St/B | P10 口的位 2，通用输入/输出 |
| | U0C0_<br>SCLKOUT | O1 | St/B | USIC0 通道 0 移位时钟输出 |
| | CCU60_CC62 | O2 | St/B | CCU60 通道 2 输出 |
| | AD2 | OH/<br>IH | St/B | 外部总线接口地址/数据线 2 |
| | CCU60_<br>CC62INA | I | St/B | CCU60 通道 2 输入 |
| | U0C0_DX1B | I | St/B | USIC0 通道 0 移位时钟输入 |
| 63 | P0.4 | O0/I | St/B | P0 口的位 4，通用输入/输出 |
| | U1C1_SELO0 | O1 | St/B | USIC1 通道 1 选择/控制 0 输出 |
| | U1C0_SELO1 | O2 | St/B | USIC1 通道 0 选择/控制 1 输出 |
| | CCU61_<br>COUT61 | O3 | St/B | CCU61 通道 1 输出 |

| 引脚 | 符号 | 控制 | 类型 | 功能 |
|---|---|---|---|---|
| | A4 | OH | St/B | 外部总线接口地址线 4 |
| | U1C1_DX2A | I | St/B | USIC1 通道 1 移位控制输入 |
| | RxDC1B | I | St/B | CAN 节点 1 接收数据输入 |
| | ESR2_8 | I | St/B | ESR2 触发输入 8 |
| 65 | P2.13 | O0/I | St/B | P2 口的位 13，通用输入/输出 |
| | U2C1_SELO2 | O1 | St/B | USIC2 通道 1 选择/控制 2 输出 |
| 66 | P2.10 | O0/I | St/B | P2 口的位 10，通用输入/输出 |
| | U0C1_DOUT | O1 | St/B | USIC0 通道 1 移位数据输出 |
| | U0C0_SELO3 | O2 | St/B | USIC0 通道 0 选择/控制 3 输出 |
| | CC2_CC23 | O3/I | St/B | CAPCOM2 CC23IO 捕获输入/比较输出 |
| | A23 | OH | St/B | 外部总线接口地址线 23 |
| | U0C1_DX0E | I | St/B | USIC0 通道 1 移位数据输入 |
| | CAPINA | I | St/B | GPT12E 寄存器 CAPREL 捕获输入 |
| 67 | P10.3 | O0/I | St/B | P10 口的位 3，通用输入/输出 |
| | CCU60_ COUT60 | O2 | St/B | CCU60 通道 0 输出 |
| | AD3 | OH/ IH | St/B | 外部总线接口地址/数据线 3 |
| | U0C0_DX2A | I | St/B | USIC0 通道 0 移位控制输入 |
| | U0C1_DX2A | I | St/B | USIC0 通道 1 移位控制输入 |
| 68 | P0.5 | O0/I | St/B | P0 口的位 5，通用输入/输出 |
| | U1C1_ SCLKOUT | O1 | St/B | USIC1 通道 1 移位时钟输出 |
| | U1C0_SELO2 | O2 | St/B | USIC1 通道 0 选择/控制 2 输出 |
| | CCU61_ COUT62 | O3 | St/B | CCU61 通道 2 输出 |
| | A5 | OH | St/B | 外部总线接口地址线 5 |

| 引脚 | 符号 | 控制 | 类型 | 功能 |
|---|---|---|---|---|
| | U1C1_DX1A | I | St/B | **USIC1 通道 1** 移位时钟输入 |
| | U1C0_DX1C | I | St/B | **USIC1 通道 0** 移位时钟输入 |
| 69 | P10.4 | O0/I | St/B | **P10** 口的位 **4**，通用输入**/**输出 |
| | U0C0_SELO3 | O1 | St/B | **USIC0 通道 0** 选择**/**控制 **3** 输出 |
| | CCU60_<br>COUT61 | O2 | St/B | **CCU60** 通道 **1** 输出 |
| | AD4 | OH/<br>IH | St/B | 外部总线接口地址/数据线 4 |
| | U0C0_DX2B | I | St/B | **USIC0 通道 0** 移位控制输入 |
| | U0C1_DX2B | I | St/B | **USIC0 通道 1** 移位控制输入 |
| | ESR1_9 | I | St/B | **ESR1** 触发输入 **9** |
| 70 | P10.5 | O0/I | St/B | **P10** 口的位 **5**，通用输入**/**输出 |
| | U0C1_<br>SCLKOUT | O1 | St/B | **USIC0 通道 1** 移位时钟输出 |
| | CCU60_<br>COUT62 | O2 | St/B | **CCU60** 通道 **2** 输出 |
| | U2C0_DOUT | O3 | St/B | **USIC2 通道 0** 移位数据输出 |
| | AD5 | OH/<br>IH | St/B | 外部总线接口地址/数据线 5 |
| | U0C1_DX1B | I | St/B | **USIC0 通道 1** 移位时钟输入 |
| 71 | P0.6 | O0/I | St/B | **P0** 口的位 **6**，通用输入**/**输出 |
| | U1C1_DOUT | O1 | St/B | **USIC1 通道 1** 移位数据输出 |
| | TxDC1 | O2 | St/B | **CAN** 节点 **1** 发送数据输出 |
| | CCU61_<br>COUT63 | O3 | St/B | **CCU61** 通道 **3** 输出 |
| | A6 | OH | St/B | 外部总线接口地址线 6 |
| | U1C1_DX0A | I | St/B | **USIC1 通道 1** 移位数据输入 |

| 引脚 | 符号 | 控制 | 类型 | 功能 |
|---|---|---|---|---|
| | CCU61_ CTRAPA | I | St/B | **CCU61** 急停强制中断输入 |
| | U1C1_DX1B | I | St/B | **USIC1** 通道 **1** 移位时钟输入 |
| 72 | P10.6 | O0/I | St/B | **P10** 口的位 **6**，通用输入**/**输出 |
| | U0C0_DOUT | O1 | St/B | **USIC0** 通道 **0** 移位数据输出 |
| | U1C0_SELO0 | O3 | St/B | **USIC1** 通道 **0** 选择**/**控制 **0** 输出 |
| | AD6 | OH/ IH | St/B | 外部总线接口地址/数据线 6 |
| | U0C0_DX0C | I | St/B | **USIC0** 通道 **0** 移位数据输入 |
| | U1C0_DX2D | I | St/B | **USIC1** 通道 **0** 移位控制输入 |
| | CCU60_ CTRAPA | I | St/B | **CCU60** 急停强制中断输入 |
| 73 | P10.7 | O0/I | St/B | **P10** 口的位 **7**，通用输入**/**输出 |
| | U0C1_DOUT | O1 | St/B | **USIC0** 通道 **1** 移位数据输出 |
| | CCU60_ COUT63 | O2 | St/B | **CCU60** 通道 **3** 输出 |
| | AD7 | OH/ IH | St/B | 外部总线接口地址/数据线 7 |
| | U0C1_DX0B | I | St/B | **USIC0** 通道 **1** 移位数据输入 |
| | CCU60_ CCPOS0A | I | St/B | **CCU60** 位置输入 **0** |
| | T4INB | I | St/B | **GPT12E** 定时器 **T4** 计数**/**门控输入 |
| 74 | P0.7 | O0/I | St/B | **P0** 口的位 **7**，通用输入**/**输出 |
| | U1C1_DOUT | O1 | St/B | **USIC1** 通道 **1** 移位数据输出 |
| | U1C0_SELO3 | O2 | St/B | **USIC1** 通道 **0** 选择**/**控制 **3** 输出 |
| | A7 | OH | St/B | 外部总线接口地址线 7 |
| | U1C1_DX0B | I | St/B | **USIC1** 通道 **1** 移位数据输入 |

| 引脚 | 符号 | 控制 | 类型 | 功能 |
|---|---|---|---|---|
| | CCU61_ CTRAPB | I | St/B | **CCU61** 急停强制中断输入 |
| 78 | P1.0 | O0/I | St/B | **P1** 口的位 **0**，通用输入**/**输出 |
| | U1C0_ MCLKOUT | O1 | St/B | **USIC1** 通道 **0** 主控时钟输出 |
| | U1C0_SELO4 | O2 | St/B | **USIC1** 通道 **0** 选择**/**控制 **4** 输出 |
| | A8 | OH | St/B | 外部总线接口地址线 **8** |
| | ESR1_3 | I | St/B | **ESR1** 触发输入 **3** |
| | T6INB | I | St/B | **GPT12E** 定时器 **T6** 计数**/**门控输入 |
| 79 | P10.8 | O0/I | St/B | **P10** 口的位 **8**，通用输入**/**输出 |
| | U0C0_ MCLKOUT | O1 | St/B | **USIC0** 通道 **0** 主控时钟输出 |
| | U0C1_SELO0 | O2 | St/B | **USIC0** 通道 **1** 选择**/**控制 **0** 输出 |
| | U2C1_DOUT | O3 | St/B | **USIC2** 通道 **1** 移位数据输出 |
| | AD8 | OH/ IH | St/B | 外部总线接口地址**/**数据线 **8** |
| | CCU60_ CCPOS1A | I | St/B | **CCU60** 位置输入 **1** |
| | U0C0_DX1C | I | St/B | **USIC0** 通道 **0** 移位时钟输入 |
| | $\overline{\text{BRKIN_B}}$ | I | St/B | **OCDS** 断点信号输入 |
| | T3EUDB | I | St/B | **GPT12E** 定时器 **T3** 外部递增**/**递减控制输入 |
| 80 | P10.9 | O0/I | St/B | **P10** 口的位 **9**，通用输入**/**输出 |
| | U0C0_SELO4 | O1 | St/B | **USIC0** 通道 **0** 选择**/**控制 **4** 输出 |
| | U0C1_ MCLKOUT | O2 | St/B | **USIC0** 通道 **1** 主控时钟输出 |
| | AD9 | OH/ IH | St/B | 外部总线接口地址**/**数据线 **9** |

| 引脚 | 符号 | 控制 | 类型 | 功能 |
|---|---|---|---|---|
| | CCU60_<br>CCPOS2A | I | St/B | **CCU60 位置输入 2** |
| | TCK_B | IH | St/B | **DAP0/JTAG 时钟输入**<br>若在启动期间选择 JTAG pos B，该引脚不被驱动时，内部上拉器件将其保持为高。<br>若在启动期间选择 DAP pos 1，该引脚不被驱动时，内部下拉器件将其保持为低。 |
| | T3INB | I | St/B | **GPT12E 定时器 T3 计数/门控输入** |
| 81 | P1.1 | O0/I | St/B | **P1 口的位 1，通用输入/输出** |
| | U1C0_SELO5 | O2 | St/B | **USIC1 通道 0 选择/控制 5 输出** |
| | U2C1_DOUT | O3 | St/B | **USIC2 通道 1 移位数据输出** |
| | A9 | OH | St/B | 外部总线接口地址线 **9** |
| | ESR2_3 | I | St/B | **ESR2 触发输入 3** |
| | U2C1_DX0C | I | St/B | **USIC2 通道 1 移位数据输入** |
| 82 | P10.10 | O0/I | St/B | **P10 口的位 10，通用输入/输出** |
| | U0C0_SELO0 | O1 | St/B | **USIC0 通道 0 选择/控制 0 输出** |
| | CCU60_<br>COUT63 | O2 | St/B | **CCU60 通道 3 输出** |
| | AD10 | OH/<br>IH | St/B | 外部总线接口地址/数据线 **10** |
| | U0C0_DX2C | I | St/B | **USIC0 通道 0 移位控制输入** |
| | U0C1_DX1A | I | St/B | **USIC0 通道 1 移位时钟输入** |
| | TDI_B | IH | St/B | **JTAG 测试数据输入**<br>若在启动期间选择 JTAG pos B，该引脚不被驱动时，内部上拉器件将其保持为高。 |
| 83 | P10.11 | O0/I | St/B | **P10 口的位 11，通用输入/输出** |

| 引脚 | 符号 | 控制 | 类型 | 功能 |
|---|---|---|---|---|
| | U1C0_SCLKOUT | O1 | St/B | **USIC1 通道 0 移位时钟输出** |
| | $\overline{\text{BRKOUT}}$ | O2 | St/B | **OCDS 断点信号输出** |
| | AD11 | OH/IH | St/B | **外部总线接口地址/数据线 11** |
| | U1C0_DX1D | I | St/B | **USIC1 通道 0 移位时钟输入** |
| | TMS_B | IH | St/B | **JTAG 测试模式选择输入**<br>若在启动期间选择 JTAG pos B，该引脚不被驱动时，内部上拉器件将其保持为高。 |
| 84 | P1.2 | O0/I | St/B | **P1 口的位 2，通用输入/输出** |
| | U1C0_SELO6 | O2 | St/B | **USIC1 通道 0 选择/控制 6 输出** |
| | U2C1_SCLKOUT | O3 | St/B | **USIC2 通道 1 移位时钟输出** |
| | A10 | OH | St/B | **外部总线接口地址线 10** |
| | ESR1_4 | I | St/B | **ESR1 触发输入 4** |
| | CCU61_T12HRB | I | St/B | **CCU61 T12 的外部运行控制输入** |
| | U2C1_DX0D | I | St/B | **USIC2 通道 1 移位数据输入** |
| | U2C1_DX1C | I | St/B | **USIC2 通道 1 移位时钟输入** |
| 85 | P10.12 | O0/I | St/B | **P10 口的位 12，通用输入/输出** |
| | U1C0_DOUT | O1 | St/B | **USIC1 通道 0 移位数据输出** |
| | TDO_B | OH/IH | St/B | **JTAG 测试数据输出/DAP1 输入/输出**<br>若在启动期间选择 DAP pos 1，该引脚不被驱动时，内部下拉器件将其保持为低。 |
| | AD12 | OH/IH | St/B | **外部总线接口地址/数据线 12** |
| | U1C0_DX0C | I | St/B | **USIC1 通道 0 移位数据输入** |

| 引脚 | 符号 | 控制 | 类型 | 功能 |
|---|---|---|---|---|
| | U1C0_DX1E | I | St/B | **USIC1 通道 0** 移位时钟输入 |
| 86 | P10.13 | O0/I | St/B | **P10** 口的位 **13**，通用输入**/**输出 |
| | U1C0_DOUT | O1 | St/B | **USIC1 通道 0** 移位数据输出 |
| | U1C0_SELO3 | O3 | St/B | **USIC1 通道 0** 选择**/**控制 **3** 输出 |
| | $\overline{WR}$ / $\overline{WRL}$ | OH | St/B | 外部总线接口写选通输出<br>当 $\overline{WR}$，每次外部写访问有效<br>当 $\overline{WRL}$，每次外部写访问低字节有效 |
| | U1C0_DX0D | I | St/B | **USIC1 通道 0** 移位数据输入 |
| 87 | P1.3 | O0/I | St/B | **P1** 口的位 **3**，通用输入**/**输出 |
| | U1C0_SELO7 | O2 | St/B | **USIC1 通道 0** 选择**/**控制 **7** 输出 |
| | U2C0_SELO4 | O3 | St/B | **USIC2 通道 0** 选择**/**控制 **4** 输出 |
| | A11 | OH | St/B | 外部总线接口地址线 **11** |
| | ESR2_4 | I | St/B | **ESR2** 触发输入 **4** |
| 89 | P10.14 | O0/I | St/B | **P10** 口的位 **14**，通用输入**/**输出 |
| | U1C0_SELO1 | O1 | St/B | **USIC1 通道 0** 选择**/**控制 **1** 输出 |
| | U0C1_DOUT | O2 | St/B | **USIC0 通道 1** 移位数据输出 |
| | $\overline{RD}$ | OH | St/B | 外部总线接口读选通输出 |
| | ESR2_2 | I | St/B | **ESR2** 触发输入 **2** |
| | U0C1_DX0C | I | St/B | **USIC0 通道 1** 移位数据输入 |
| 90 | P1.4 | O0/I | St/B | **P1** 口的位 **4**，通用输入**/**输出 |
| | U1C1_SELO4 | O2 | St/B | **USIC1 通道 1** 选择**/**控制 **4** 输出 |
| | U2C0_SELO5 | O3 | St/B | **USIC2 通道 0** 选择**/**控制 **5** 输出 |
| | A12 | OH | St/B | 外部总线接口地址线 **12** |
| | U2C0_DX2B | I | St/B | **USIC2 通道 0** 移位控制输入 |
| 91 | P10.15 | O0/I | St/B | **P10** 口的位 **15**，通用输入**/**输出 |

| 引脚 | 符号 | 控制 | 类型 | 功能 |
|---|---|---|---|---|
| | U1C0_SELO2 | O1 | St/B | USIC1 通道 0 选择/控制 2 输出 |
| | U0C1_DOUT | O2 | St/B | USIC0 通道 1 移位数据输出 |
| | U1C0_DOUT | O3 | St/B | USIC1 通道 0 移位数据输出 |
| | ALE | OH | St/B | 外部总线接口地址锁存使能输出 |
| | U0C1_DX1C | I | St/B | USIC0 通道 1 移位时钟输入 |
| 92 | P1.5 | O0/I | St/B | P1 口的位 5，通用输入/输出 |
| | U1C1_SELO3 | O2 | St/B | USIC1 通道 1 选择/控制 3 输出 |
| | $\overline{\text{BRKOUT}}$ | O3 | St/B | OCDS 断点信号输出 |
| | A13 | OH | St/B | 外部总线接口地址线 13 |
| | U2C0_DX0C | I | St/B | USIC2 通道 0 移位数据输入 |
| 93 | P1.6 | O0/I | St/B | P1 口的位 6，通用输入/输出 |
| | U1C1_SELO2 | O2 | St/B | USIC1 通道 1 选择/控制 2 输出 |
| | U2C0_DOUT | O3 | St/B | USIC2 通道 0 移位数据输出 |
| | A14 | OH | St/B | 外部总线接口地址线 14 |
| | U2C0_DX0D | I | St/B | USIC2 通道 0 移位数据输入 |
| 94 | P1.7 | O0/I | St/B | P1 口的位 7，通用输入/输出 |
| | U1C1_ MCLKOUT | O2 | St/B | USIC1 通道 1 主控时钟输出 |
| | U2C0_ SCLKOUT | O3 | St/B | USIC2 通道 0 移位时钟输出 |
| | A15 | OH | St/B | 外部总线接口地址线 15 |
| | U2C0_DX1C | I | St/B | USIC2 通道 0 移位时钟输入 |
| 95 | XTAL2 | O | Sp/M | 晶振放大器输出 |





| 引脚 | 符号 | 控制 | 类型 | 功能 |
|---|---|---|---|---|
| 96 | XTAL1 | I | Sp/M | 晶振放大器输入<br>由外部时钟源提供器件的工作时钟时，驱动 XTAL1，XTAL2 断开。<br>XTAL1 上的电压必须和内核供电电压 $V_{DDIM}$ 相匹配。 |
| | ESR2_9 | I | St/B | **ESR2 触发输入 9** |
| 97 | $\overline{\text{PORST}}$ | I | In/B | 上电复位输入<br>该引脚上的低电平彻底复位 XE164xN。毛刺滤波器会抑制<10 ns 的输入脉冲。大于 100ns 的输入脉冲可安全通过滤波器。可确保被识别的最小脉冲宽度应为 120ns。<br>该引脚不被驱动时，内部上拉器件将其拉高。 |
| 98 | $\overline{\text{ESR1}}$ | O0/I | St/B | 外部服务请求 1<br>上电后，若该引脚不被驱动，内部弱上拉器件将其保持为高。 |
| | RxDC0E | I | St/B | **CAN 节点 0 接收数据输入** |
| | U1C0_DX0F | I | St/B | **USIC1 通道 0 移位数据输入** |
| | U1C0_DX2C | I | St/B | **USIC1 通道 0 移位控制输入** |
| | U1C1_DX0C | I | St/B | **USIC1 通道 1 移位数据输入** |
| | U1C1_DX2B | I | St/B | **USIC1 通道 1 移位控制输入** |
| | U2C1_DX2C | I | St/B | **USIC2 通道 1 移位控制输入** |
| 99 | $\overline{\text{ESR0}}$ | O0/I | St/B | 外部服务请求 0<br>上电后，$\overline{\text{ESR0}}$ 用作带有弱上拉的漏极开路双向复位引脚。 |
| | U1C0_DX0E | I | St/B | **USIC1 通道 0 移位数据输入** |
| | U1C0_DX2B | I | St/B | **USIC1 通道 0 移位控制输入** |

| 引脚 | 符号 | 控制 | 类型 | 功能 |
|---|---|---|---|---|
| 10 | $V_{DDIM}$ | - | PS/M | **电源域 M 的数字内核电源**<br>使用陶瓷电容去耦，详见数据手册。 |
| 38,<br>64,<br>88 | $V_{DDI1}$ | - | PS/1 | **电源域 1 的数字内核电源**<br>使用陶瓷电容去耦，详见数据手册。<br>所有 $V_{DDI1}$ 引脚必须互连。 |
| 14 | $V_{DDPA}$ | - | PS/A | **电源域 A 的数字引出端电源**<br>去耦电容尽可能靠近相邻的每对 $V_{DDP}$/$V_{SS}$ 电源引脚。<br>*注：A/D 转换器、P5、P6 和 P15 口由电源 $V_{DDPA}$ 供电。* |
| 2,<br>25,<br>27,<br>50,<br>52,<br>75,<br>77,<br>100 | $V_{DDPB}$ | - | PS/B | **电源域 B 的数字引出端电源**<br>去耦电容尽可能靠近相邻的每对 $V_{DDP}$/$V_{SS}$ 电源引脚。<br>*注：片上电压调节器和除 P5、P6 和 P15 之外的所有端口由电源 $V_{DDPB}$ 供电。* |
| 1,<br>26,<br>51,<br>76 | $V_{SS}$ | - | PS/-- | **数字地**<br>所有 $V_{SS}$ 必须和地线或接地层相连。<br>*注：裸引出端同样内部连接到 $V_{SS}$。为了改善 EMC，建议将裸引出端和板级电源地相连。*<br>*有关散热的描述，请参见数据手册的描述。电路板的版图设计示例参见应用笔记。* |

1）若要产生用于测量总线时序的参考时钟输出，必须选择 $f_{SYS}$ 作为 EXTCLK 的时钟源，P2.8 必须用作输出引脚。此外，必须使能高速时钟引出端。该配置用于参考时钟输出信号 CLKOUT。

## 2.2 ID 寄存器

ID 寄存器指示 XE164xN 器件及其模块的当前版本。

**表 6 XE164xN ID 寄存器**

| 缩写名 | 值 | 地址 | 注 |
|---|---|---|---|
| SCU_IDMANUF | $1820_H$ | $00'F07E_H$ | |
| SCU_IDCHIP | $3001_H$ | $00'F07C_H$ | 标记 EES-AA 或 ES-AA |
| | $3002_H$ | $00'F07C_H$ | 标记 AA |
| SCU_IDMEM | $304F_H$ | $00'F07A_H$ | |
| SCU_IDPROG | $1313_H$ | $00'F078_H$ | |
| JTAG_ID | $0018'B083_H$ | --- | 标记 EES-AA 或 ES-AA |
| | $1018'B083_H$ | --- | 标记 AA |





# 3 功能描述

XE164xN 的架构将 RISC、CISC 和 DSP 处理器的优点以及功能强大的外设子系统完美结合。紧凑型片上系统（SOC）采用片上存储器模块的设计，从而可实现系统在计算、控制和通信方面的最佳性能。

片上存储器模块（程序存储器和SRAM、双口RAM、数据SRAM）和通用外设分别通过独立的高速总线和CPU相连。XE164xN还采用了另外一种总线LXBus用以连接附加的片上资源和片外资源（见 图 4）。这样的总线结构使得XE164xN中的多个子系统能够并行工作，从而提高了系统的总体性能。

下图概括给出 XE164xN 的片上单元和内部总线结构。

PSRAM
Flash存储器
IMB
DPRAM
DSRAM
OCDS
调试支持
EBC
LXBus控制
外部总线控制
PMU
CPU
MAC单元
DMU
MCHK
WDT
RTC
LXBus
系统功能
时钟, 复位, 功率控制,
备用RAM
MPU
Interrupt & PEC
中断总线
外设数据总线
ADC0
模块
8-/10-
位
ADC1
模块
8-/10-
位
GPT
5个
定时器
CC2
模块
16
通道
CCU6x
模块
每个模块
3+1路
通道
USICx
模块
每个模块
2路通道
Multi
CAN
模拟和数字通用 IO (GPIO) 端口
MC_N-SERIES_BLOCKDIAGRAM_CN

图 4　　功能框图

## 3.1 存储器子系统及结构

XE164xN 的存储器空间为冯诺伊曼体系架构。在该结构中，所有片内和片外资源，即程序存储器、数据存储器、寄存器和 IO 口位于同一个线性地址空间内。

表 7 XE164xN 存储器映射 [1]

| 地址区间 | 起始地址 | 结束地址 | 区域大小 [2] | 备注 |
|---|---|---|---|---|
| IMB 寄存器空间 | $FF'FF00_H$ | $FF'FFFF_H$ | 256 B | - |
| 保留 | $F0'0000_H$ | $FF'FEFF_H$ | < 1 MB | 减去 IMB 寄存器 |
| 保留用作 EPSRAM | $E8'4000_H$ | $EF'FFFF_H$ | 496 KB | 镜像 EPSRAM |
| 仿真 PSRAM | $E8'0000_H$ | $E8'3FFF_H$ | 多达 16 KB | Flash 时序 |
| 保留用作 PSRAM | $E0'4000_H$ | $E7'FFFF_H$ | 496 KB | 镜像 PSRAM |
| PSRAM | $E0'0000_H$ | $E0'3FFF_H$ | 多达 16 KB | 程序 SRAM |
| 保留用作 Flash | $C5'0000_H$ | $DF'FFFF_H$ | 1728 KB | |
| Flash 1 | $C4'0000_H$ | $C4'FFFF_H$ | 64 KB | |
| Flash 0 | $C0'0000_H$ | $C3'FFFF_H$ | 256 KB[3] | 减去保留段 |
| 外部存储器区 | $40'0000_H$ | $BF'FFFF_H$ | 8 MB | |
| 外部 IO 区 [4] | $21'0000_H$ | $3F'FFFF_H$ | 1984 KB | |
| 保留 | $20'BC00_H$ | $20'FFFF_H$ | 17 KB | - |
| USIC0-2 复用寄存器 | $20'B000_H$ | $20'BBFF_H$ | 3 KB | 通过 EBC 访问 |
| MultiCAN 复用寄存器 | $20'8000_H$ | $20'AFFF_H$ | 12 KB | 通过 EBC 访问 |
| 保留 | $20'5800_H$ | $20'7FFF_H$ | 10 KB | |
| USIC0-2 寄存器 | $20'4000_H$ | $20'57FF_H$ | 6 KB | 通过 EBC 访问 |
| 保留 | $20'6800_H$ | $20'7FFF_H$ | 6 KB | |
| MultiCAN 寄存器 | $20'0000_H$ | $20'3FFF_H$ | 16 KB | 通过 EBC 访问 |
| 外部存储器空间 | $01'0000_H$ | $1F'FFFF_H$ | 1984 KB | |
| SFR 区 | $00'FE00_H$ | $00'FFFF_H$ | 0.5 KB | |
| 双口 RAM （DPRAM） | $00'F600_H$ | $00'FDFF_H$ | 2 KB | |

| 地址区间 | 起始地址 | 结束地址 | 区域大小 2) | 备注 |
|---|---|---|---|---|
| 保留用作 DPRAM | 00’F200$_H$ | 00’F5FF$_H$ | 1 KB | |
| ESFR 区 | 00’F000$_H$ | 00’F1FF$_H$ | 0.5 KB | |
| XSFR 区 | 00’E000$_H$ | 00’EFFF$_H$ | 4 KB | |
| 数据 SRAM（DSRAM） | 00’A000$_H$ | 00’DFFF$_H$ | 16 KB | |
| 保留用作 DSRAM | 00’8000$_H$ | 00’9FFF$_H$ | 8 KB | |
| 外部存储器区 | 00’0000$_H$ | 00’7FFF$_H$ | 32 KB | |

1）对阴影区域的访问被保留。在具有外部总线接口的器件中，这些访问会产生外部总线访问。

2）标有“<”的区域大小略小于标注值，见“备注”列。

3）第一个 Flash 区段的最高 4 KB 扇区保留，供内部使用（C0’ F000$_H$ 至 C0’ FFFF$_H$）。

4）一些流水线优化对外部 IO 区无效，这对合理控制片外外设很有必要。

XE164xN 的存储器容量高达 16 MB，分为 256 段，每段 64 KB；每段细分为 4 个数据页，每页 16 KB。整个存储器空间可按字节或字访问。部分片上 DPRAM 和寄存器区域（ESFR/SFR）还可被直接位寻址。

片上数据存储器区和特殊功能寄存器区（SFR/ESFR）被映射到段 0（系统段）。

程序管理单元（PMU）处理所有的取指操作，因而控制对程序存储器（如 Flash 和 PSRAM）的访问。

数据管理单元（DMU）处理所有的数据传送，因而控制对 DSRAM 和片上外设的访问。

这两个单元（PMU 和 DMU）和高速系统总线相连，因此它们可以交换数据。执行以下操作时需要 PMU 和 DMU 交换数据：从程序存储器读取操作数、向 PSRAM 写入代码或数据、从片外存储器读取代码、或从/向片外资源读取/写入数据时。这也包括 LXBus 上的外设（如 USIC 和 MultiCAN）。系统总线允许并行双向通信以实现最佳传送性能。

**高达16 KB片上程序SRAM（PSRAM）**用于存储用户代码或数据。通过PMU访问PSRAM，从而优化了取指操作。部分PSRAM可被写保护，其大小可编程。

*注：PSRAM的实际容量和选用的产品型号有关。*

**高达 16 KB 片上数据 SRAM（DSRAM）**用于存储一般用户数据。通过一个独立的接口访问 DSRAM，从而优化了数据访问。

*注：DSRAM的实际容量和选用的产品型号有关。*

**2 KB 片上双口 RAM（DPRAM）**用于存储用户定义的变量、系统堆栈和通用寄存器组。一个寄存器组可由多达 16 个字宽（R0 到 R15）和/或字节宽（RL0、RH0、…RL7、RH7）的通用寄存器（GPR）组成。

DPRAM 的高 256 字节可直接位寻址。用作 GPR 时，DPRAM 的任何地址都可位寻址。

**8 KB 片上备用 SRAM（SBRAM）**用于存储与系统相关的、当器件的主要部分处于掉电状态时必须被保留的用户数据。通过一个特定的接口访问 SBRAM，由电源域 M 对其供电。

**1024 字节（2 × 512 字节）**的地址空间保留用作特殊功能寄存器区（SFR 和 ESFR 区）。SFR 为字宽寄存器，用于控制和监视不同片上单元的功能；未使用的 SFR 地址为 XE166 家族的后续产品预留。为了确保向上兼容，这些 SFR 地址不应被访问、或者写入 0。

为了满足更大存储容量的设计需要，可通过外部总线接口将高达 12 MB（略小于，见 表 7）的外部RAM和/或ROM和XE164xN微控制器相连。还可通过外部总线接口访问片外外设。

**片上 Flash 存储器**存储代码、常数和控制数据。320 KB 片上 Flash 存储器由一个 64 KB 模块（建议用于存储数据）和一个 256 KB 模块组成。每个模块由多个 4 KB 的扇区组成。段 0（位于 Flash 模块 0）的最高 4 KB 扇区供内部使用，它用于存储操作控制参数和保护信息。

*注：Flash的实际容量和选用的产品型号有关。*

每个扇区可被分别写保护 [1]、擦除和编程（以 128 字节为单位）。整个Flash存储区可被读保护。可通过用户设定的密码序列暂时解锁被保护区。Flash模块既支持 128 位读访问，又具有安全高效的编程和擦除算法。动态纠错为所有读操作提供了极高的数据安全性。可并行访问不同的Flash模块。

有关Flash的参数信息，请参见章节 **4.6**。

### 存储器内容保护

通过奇偶校验或纠错码（ECC）可保护片上存储器的内容以避免（诸如由辐射引发的）软错误。

奇偶校验机制可检测一位错误，从而避免软件使用错误数据或执行错误指令。

ECC 机制可检测并自动纠正一位错误，从而支持系统稳定工作。

强烈建议用户尽可能采用 ECC，这样可避免软错误的干扰，极大的增强应用程序的稳健性。

1）为了节省控制位，多个扇区组合起来统一进行 Flash 保护，这些扇区在进行编程\擦除操作时各自独立。

## 3.2 外部总线控制器

所有片外存储器访问通过一个特殊的片上外部总线控制器（EBC）来实现。EBC 还控制与片上 LXBus 相连的资源（MultiCAN 和 USIC 模块）的访问。LXBus 是外部总线的内部标识，它以和访问片外模块相同的方式来访问片上外设和模块。

不需使用外部存储器时，可将EBC设定为单片模式；需要使用外部存储器时，可将EBC设定为外部总线模式并进行以下选择 [1]：

- 地址总线宽度范围 0...24 位
- 数据总线宽度 8 位或 16 位
- 总线操作复用或非复用

使用 P10 口和 P2 口作为地址和数据总线。在非复用总线模式下，低位地址分别从 P0 口和 P1 口输出。段地址线的个数可选，将外部地址空间限制在 8 MB...64 KB 的范围内。当接口线被分配给 P2 口时，需要进行段地址线个数选择。

为了节省片外胶合逻辑，可产生外部 $\overline{CS}$ 信号（地址窗+缺省值）并从 P4 口输出。片外模块可直接连接到共用的地址/数据线和它们各自的片选线上。

外部总线接口的重要时序特性可通过寄存器 TCONCSx/FOCNCSx 编程设定，从而使它可适用于各种类型的存储器和多种片外外设。

访问速度非常低的存储器或模块时，可使用特殊的“Ready”功能。控制输入信号的有效电平可选。

此外，最多可（通过寄存器 ADDRSELx）定义四个独立的地址窗，用于控制对具有不同总线特性资源的访问。这些地址窗分层组织：地址窗 4 覆盖地址窗 3；地址窗 2 覆盖地址窗 1。对于未被这四个地址窗覆盖的区域，由寄存器 TCONCS0/FCONCS0 控制其访问。当前有效的地址窗可产生一个片选信号。

外部总线时序和参考时钟输出 CLKOUT 的上升沿有关。外部总线协议与标准 C166 系列兼容。

## 3.3 中央处理单元（CPU）

CPU 内核由 2 级取指/5 级执行流水线、16 位算术逻辑单元（ALU）、32 位/40 位乘累加单元（MAC）、包含三个寄存器组的寄存器文件和专用 SFR 组成。ALU 中包含乘除单元、位屏蔽产生单元和阵列移位器。

---

1）如果使用具有不同模式设置的多个地址窗，总线模式会动态切换。

图 5　　CPU 框图

基于这样的硬件结构，XE164xN 中的大多数指令都能够单周期执行，即当 CPU 时钟为 80 MHz 时，指令周期为 12.5 ns。例如，移位和循环移位指令始终单周期执行，和移位个数无关。乘法和大多数 MAC 指令也是单周期指令。所有多周期指令已被优化因而可快速执行，例如，32/16 位除法运算在开始 4 个周期之后、剩余周期在后台执行。分支目标预测也经流水线优化 – 若预测正确，分支指令的执行时间则会缩短。

CPU 含有多达三组可随意支配的寄存器组，每个寄存器组由 16 个字宽的 GPR 组成。其中一个寄存器组的物理地址位于片上 DPRAM 区。上下文指针（CP）寄存器指

定 CPU 每次访问的有效寄存器组的基地址。寄存器组的数目仅受可用内部 RAM 空间的限制。为了便于进行参数传递，两个寄存器组可相互重叠。

多达 32 K 字的系统堆栈用于存储临时数据。系统堆栈可位于整个地址空间的任意位置（建议位于片上 RAM 区），CPU 根据堆栈指针（SP）寄存器的值访问堆栈。每次访问堆栈时，两个独立的 SFR：STKOV 和 STKUN 将自动和堆栈指针值进行比较，以检测堆栈是否上溢和下溢。

使用高效 XE164xN 指令集，CPU 硬件的高性能得以充分发挥。指令集包括以下指令类型：

- 标准算术指令
- DSP 指令
- 逻辑指令
- 布尔位操作指令
- 比较和循环控制指令
- 移位和循环移位指令
- 优先级指令
- 数据转移指令
- 系统堆栈指令
- 跳转和调用指令
- 返回指令
- 系统控制指令
- 其它指令

基本指令长度为 2 个或 4 个字节。操作数类型包括位、字节和字。支持直接寻址、间接寻址和立即寻址等多种操作数寻址方式。

## 3.4 存储器保护单元（MPU）

XE164xN 的存储器保护单元（MPU）可保护用户指定的存储区不被非法（未经授权）访问（读、写或取指）。MPU 可保护包括外设区在内的整个地址空间。采用 MPU 完善了现有的保护机制（如寄存器保护机制或堆栈上溢/下溢检测）。

MPU 提供的四级保护支持灵活的系统编程，操作系统、底层驱动和应用程序分别工作在不同的保护级。每级保护具有不同的指令和/或数据访问限制。

每次执行存储器访问时，MPU（若被使能）检查其访问权限，违反权限的访问将被标记为无效并产生保护强制中断。

每级保护对应一组保护寄存器，用于指定地址范围和访问权限。需要四级以上保护的应用可对保护寄存器进行动态重新编程。

## 3.5 存储器检查器模块

XE164xN 的存储器检查器模块用于计算数据块的校验和（分数多项式除法），通常称为循环冗余码（CRC）。该模块基于 32 位线性反馈移位寄存器实现，因而还可用来产生伪随机数。

存储器检查器模块是一个 16 位并行输入签名压缩电路，它可检测保存在存储器和寄存器中的数据块、由串行通信线传送的通信数据块是否有错。通过计算数据块的签名，MCHK 可降低由重复的错误序列所导致的错误屏蔽概率。

由于多项式可配置，因此可采用最常用的多项式。同样，用于产生 CRC 结果的数据块大小可通过本地计数器配置。若检测到当前的数据块出错，可产生中断。

MCHK 还包含 CRC 自动比较电路，它可检测冗余错误，从而提供更高等级的数据安全保护。

MCHK 为易失和非易失存储器模块中的数据和指令提供了（除奇偶校验或 ECC 之外的）增强的检错功能。这对保障嵌入式系统的安全性和可靠性尤其重要。

## 3.6 中断系统

XE164xN 架构提供了多种中断机制，可对服务请求作出快速、灵活的响应。这些服务请求由各种内部或外部中断源产生并送至微控制器。用户可编程选择是由中断控制器还是由外设事件控制器（PEC）来服务这些中断请求。

使用标准中断服务时，当前执行的程序被挂起，随后跳转至中断向量表；使用 PEC 时，只需从当前 CPU 操作中“窃取”一个周期即能完成 PEC 服务。一次 PEC 服务可在任意两个存储器地址单元（由 PEC 的源指针和目标指针指定相应地址）之间传送一个字节或一个字的数据，可选择源指针递增、目标指针递增或者两个地址指针都递增。每进行一次 PEC 服务，PEC 传送计数器自动减 1，连续传送模式除外。该计数器计数到零时，执行与相应中断源对应的向量地址处的标准中断。PEC 服务特别适用于数据块的传送或接收。XE164xN 共有 8 路 PEC 通道，每路通道均可进行快速、由中断驱动的数据传送。

XE164xN的中断响应时间最短为 7/11[1)]个时钟周期，它可快速响应非确定性事件。

### 中断节点和中断请求源选择

XE164xN 的中断系统提供 96 个中断节点。每个中断节点对应有单独的中断控制寄存器，其中存放中断请求标志、中断使能标志和中断优先级选择位域。大多数中断请求源各自分配一个专用节点；一组特定的中断请求源共用一组中断节点。可通过中断请求源选择寄存器（ISSR）设定请求源。

1) 这取决于是否使用跳转 cache。

外部请求单元（**ERU**）

通过专用的外部请求单元（ERU）对选中的片上外设和外部中断请求进行通路选择和预处理。ERU 由四路可编程输入通道、事件触发逻辑（ETL）、连接矩阵和 4 个输出门控单元（OGU）组成。ETL 具有上升沿、下降沿或上下双沿事件检测特性。OGU 将检测到的中断事件逻辑组合并根据可编程序列是否匹配的结果提供滤波功能。

强制中断处理

XE164xN 还提供了一种出色的“硬件强制中断”机制，用以识别并处理运行过程中出现的异常或错误情况。硬件强制中断会立即引发系统响应，与标准中断服务相似（跳转到专用的向量表地址）。由强制中断标志寄存器（TFR）中的标志位来指示是否已发生硬件强制中断。除非当前正在处理另一个更高优先级的强制中断服务，否则，硬件强制中断将中断正在执行的任何程序。硬件强制中断服务通常不能被标准中断或 PEC 中断所中断。

根据器件封装形式的不同，最多可提供 3 个外部服务请求（ESR）引脚。ESR 单元对这些引脚的输入值进行处理、并能够实现用户控制的强制中断功能（系统请求 SR0 和 SR1）。通过这种方式复位时，可有效实现唤醒和电源控制。

软件中断通过 TRAP 指令结合一个强制中断编号来实现。由软件仿真中断时，可通过设置中断控制寄存器中的中断请求（IR）位由程序触发中断请求。

## 3.7 片上调试支持（OCDS）

XE164xN 的片上调试支持系统为用户提供了各种调试和仿真功能。可以方便的在目标系统环境中调试用户程序。

OCDS 通过调试接口由外部调试设备控制。该物理接口为 2 引脚器件访问端口（DAP）或符合 IEEE-1149 规范的 JTAG 口。调试接口还可包含一个可选的断点接口。

调试器通过一组专用寄存器控制 OCDS，这些寄存器可由调试接口（DAP 或 JTAG）访问。此外，OCDS 系统还可以由 CPU 控制（如监控程序）。插入接口允许 CPU 执行由 OCDS 产生的指令。

可由片上硬件、软件或外部输入信号触发多个断点。OCDS支持单步执行、插入任意指令，以及对整个内部地址空间的读/写访问。响应断点的方式包括：CPU暂停、调用监控程序、数据传送、或/和外部信号激活。

XE166 家族的仿真器支持程序执行跟踪，DAP 的工作频率可高达 20 MHz。

DAP 使用 2 个接口信号、JTAG 使用 4 个接口信号和外部电路通信。调试接口还可包含两条可选的断点线。

## 3.8 捕获/比较单元（CC2）

CAPCOM 单元支持多达 16 路通道上时序的产生和控制，最大精度为 1 个系统时钟周期（交错模式下最大精度为 8 个系统周期）。CAPCOM 单元通常用于处理高速 I/O 任务，如脉冲和波形的产生、脉宽调制（PWM）、数模（D/A）转换、软件定时、或记录外部事件的时间信息。

CAPCOM 单元中有两个 16 位定时器，每个定时器都有对应的重载寄存器，分别为每个捕获/比较寄存器提供两个独立的时间基准。

定时器的输入时钟是经过预分频处理（分频因子可编程）的内部系统时钟；或来自模块 GPT2 中定时器 T6 的上溢/下溢信号，这样可提供多种不同的定时器周期和精度，从而满足不同应用的需求。此外，外部计数输入信号触发将外部事件的时间信息记录在捕获/比较寄存器中。

捕获/比较寄存器组由 16 个双功能捕获/比较寄存器组成，每个寄存器可单独分配给 CAPCOM 中的任意一个定时器（共两个）并设定用作捕获或比较功能。

CAPCOM 模块中的所有寄存器都各自对应一个与之相关的端口引脚，作为触发捕获功能的输入引脚，或作为指示发生比较事件的输出引脚。

若某个捕获/比较寄存器被选择用作捕获模式，一旦与该寄存器相关的输入引脚上有外部事件发生，定时器的当前值将被锁存（捕获）到该捕获/比较寄存器中。此外，将产生该捕获/比较寄存器的中断请求。可选择外部信号的正跳变、负跳变或任意跳变作为触发事件。

若捕获/比较寄存器被选择用作比较模式（共五种比较模式），保存在该寄存器中的数值将和对应定时器的计数值进行连续比较。

当定时器的计数值和捕获/比较寄存器的值匹配时，根据选择的比较模式产生特定的动作。

**表 8　　比较模式**

| 比较模式 | 功能 |
|---|---|
| 模式 0 | 仅产生中断的比较模式；<br>每个定时器周期可产生多个比较中断 |
| 模式 1 | 每次比较匹配时引脚翻转；<br>每个定时器周期可产生多个比较事件 |
| 模式 2 | 仅产生中断的比较模式；<br>每个定时器周期只产生一个比较中断 |

| 比较模式 | 功能 |
|---|---|
| 模式 3 | 匹配时引脚置 1；比较定时器溢出时引脚复位到 0；<br>每个定时器周期只能产生一个比较事件 |
| 双寄存器模式 | 两个寄存器控制同一引脚；<br>每次比较匹配时引脚翻转；<br>每个定时器周期可产生多个比较事件 |
| 单次事件模式 | 产生单个信号沿或脉冲；<br>可在任何比较模式下使用 |

重载寄存器
T7REL
$f_{CC}$
T7IN
T6OUF
T7
输入控制
定时器T7
T7IRQ
CC16IO
CC17IO
模式控制
（捕获或
比较）
16个
16位
捕获/比较
寄存器
CC16IRQ
CC17IRQ
CC31IO
CC31IRQ
$f_{CC}$
T6OUF
T8
输入控制
定时器T8
T8IRQ
重载寄存器
T8REL
MC_CAPCOM2_BLOCKDIAG_CN

**图 6　　CAPCOM 单元框图**

## 3.9 捕获/比较单元 CCU6x

XE164xN 片上集成了 CCU60 和 CCU61。

CCU6 是具有特定应用模式的高精度捕获和比较单元。它提供同步启动多个定时器的输入，这是含有多个 CCU6 模块的器件的重要特性。

CCU6 由两个独立的定时器（T12、T13）组成，可用于产生 PWM 信号、特别用于 AC 电机控制。此外，CCU6 还支持块切换和多相电机等特殊控制模式。

**定时器 T12 特性：**

- 3 路捕获/比较通道，各路可单独用作捕获或比较通道
- 支持三相 PWM 产生 （6 路输出，每相两路信号分别用于控制上桥臂或下桥臂开关）
- 16 位精度，最大计数频率 = 外设时钟频率
- 各路通道的死区时间控制，以避免功率器件短路
- T12/13 寄存器同步更新
- 可产生中心对齐和边沿对齐 PWM
- 支持单次模式
- 多个中断请求源
- 类磁滞控制模式
- 可由硬件事件自动启动定时器（T12HR，用于同步）

**定时器 T13 特性:**

- 一个独立的比较通道输出
- 16 位精度，最大计数频率 = 外设时钟频率
- 可与 T12 同步
- 周期匹配和比较匹配时产生中断
- 支持单次模式
- 可由硬件事件自动启动定时器（T13HR，用于同步）

**附加特性:**

- 支持用于驱动无刷直流电机的块切换
- 通过霍尔传感器序列进行位置检测
- 块切换的自动转速测量
- 综合错误处理

- 由外部信号（$\overline{\text{CTRAP}}$）控制快速急停，无需 CPU 干预
- 多通道 AD 驱动器的控制模式
- 输出电平可选以配合功率器件

CCU6 模块内核
fSYS
TxHR
中断
T12
通道 0
通道 1
通道 2
启动
T13
通道 3
比较
捕获
死区时间控制
多通道控制
强制中断控制
输出选择
霍尔输入
强制中断输入
输入/ 输出控制
COUT63
COUT60
CC60
COUT61
CC61
COUT62
CC62
CCPOS0
CCPOS1
CCPOS2
$\overline{\text{CTRAP}}$
mc_ccu6_blockdiagram_cn.vsd

**图 7　　　CCU6 单元框图**

定时器 T12 的三路通道可工作在捕获和/或比较模式。三路通道的工作模式还可组合使用。定时器 T13 只能工作在比较模式。由多通道控制单元产生可由 T12 和/或 T13 调制的输出序列。信号的调制源可选，并可组合使用。

## 3.10 通用定时器（GPT12E）单元

GPT12E 单元具有非常灵活的多功能定时器/计数器结构，可用作事件定时和计数、脉宽和占空比测量、脉冲产生、脉冲倍频等多种用途。

GPT12E 单元有五个 16 位定时器，分配给两个独立的模块 GPT1 和 GPT2。每个模块中的各个定时器均可独立工作在不同的工作模式，或者和同模块中的其它定时器级联工作。

**模块 GPT1** 中的三个定时器 T2、T3、T4 可被分别设置为四种基本工作模式之一：定时器模式、门控定时器模式、计数器模式、和增量接口模式。定时器模式下，定时器的输入时钟来自经过预分频处理的系统时钟（预分频因子可编程设定）；计数器模式下，可用外部事件作为定时器的时钟源。

门控定时器模式支持脉宽或占空比测量，此时定时器操作由外部输入引脚上的“门控”电平控制。此时，每个定时器对应一个相关的端口引脚（TxIN），用作门控或时钟输入。GPT1 模块定时器的最大精度为 4 个系统时钟周期。

每个定时器的计数方向（递增/递减）可由软件设定，或由端口引脚（TxEUD）上的外部信号动态选择，如进行位置跟踪。

增量接口模式下，GPT1 的定时器可以通过各自的输入口 TxIN 和 TxEUD 直接和增量位置传感器信号 A 和 B 相连。方向和计数信号可以从这两个输入信号得到，因此相关定时器 Tx 的内容与传感器位置相对应。第三个位置传感器信号 TOP0 可以和中断输入相连。

定时器 T3 有一个输出翻转锁存器（T3OTL），定时器每次上溢/下溢时 T3OTL 的状态改变。该锁存器的状态从引脚 T3OUT 输出，如可用来监控外部硬件电路的超时现象。T3 的溢出翻转锁存信号可以作为 T2、T4 的计数时钟，从而能够用高精度测量长时间信号的周期。

除基本工作模式以外，定时器 T2 和 T4 还可设置为 T3 的重载或捕获寄存器。用作捕获或重载寄存器的定时器停止运行。相关输入引脚（TxIN）发生跳变时，定时器 T3 的内容被捕获到 T2 或 T4 中。外部信号跳变、或者翻转锁存器 T3OTL 发生选定的状态跳变时，可触发 T2 或 T4 的内容重新装入定时器 T3。如果用 PWM 信号的接通、关闭电平时间分别设置 T2 和 T4，并用 T3OTL 相反的跳变沿触发 T2 和 T4 轮流重载 T3，即可连续产生该 PWM 信号，而无需软件干预。

**图 8 GPT1 功能框图**

**GPT2 模块**的最大精度为 2 倍系统时钟周期，可提供准确的事件控制和时间测量。GPT2 包括两个定时器（T5、T6）和一个捕获/重载寄存器（CAPREL）。两个定时器的输入时钟源来自经过预分频处理的CPU时钟（预分频因子可编程设定）或外部信号。每个定时器的计数方向（递增/递减）可由软件设定、或由端口引脚（TxEUD[1]）上的外部信号动态改变。定时器的级联通过定时器T6 的输出翻转锁存器（T6OLT）实现，定时器每次上溢/下溢时T6OLT的状态改变。

锁存器的状态可以用作定时器 T5 的输入时钟，可从引脚 T6OUT 输出。定时器 T6 的上溢/下溢信号还可用作 CAPCOM 定时器的输入时钟，还可触发重载，将 CAPREL 寄存器的值重新装入定时器 T6 中。

1) 例外：T5EUD 未连接到引脚上。

一旦端口引脚（CAPIN）上的外部信号发生跳变，CAPREL 寄存器可捕获定时器 T5 的计数值。捕获操作完成后，可选择将定时器 T5 清零。这使得 XE164xN 能够测量绝对时间差或者实现脉冲乘法，而无需软件开销。

GPT1 定时器 T3 的输入引脚 T3IN 和/或 T3EUD 发生跳变时，还可触发将定时器 T5 的值捕获到 CAPREL 中。当 T3 工作在增量接口模式，该特性尤其有用。



**图 9　　　GPT2 功能框图**

## 3.11 实时时钟

XE164xN 的实时时钟（RTC）模块可由内部时钟源或外部时钟源（引脚）驱动。

RTC主要由一组分频器模块构成：

- 可选的 32:1 和 8:1 分频器（开启或关闭）
- 可重载 16 位定时器 T14
- 32 位 RTC 定时器模块（可通过寄存器 RTCH 和 RTCL 访问），由以下定时器组成：
  - 可重载 10 位定时器
  - 可重载 6 位定时器
  - 可重载 6 位定时器
  - 可重载 10 位定时器

所有定时器递增计数。每个定时器可单独产生中断请求，所有的中断请求组合产生一个公共中断节点请求。

$f_{RTC}$
RUN
÷32
MUX
÷8
MUX
PRE
REFCLK
中断子节点
RTCINT
CNT INT0
CNT INT1
CNT INT2
CNT INT3
REL寄存器
10 位
6 位
6 位
10 位
T14REL
T14
T14寄存器
$f_{CNT}$
10 位
6 位
6 位
10 位
CNT寄存器
MCB05568B_CN

**图 10　　RTC 框图**

*注：与 RTC 相关的寄存器仅受电源复位影响。*

RTC 模块可用于：

- 系统时钟，决定当前时间和日期
- 周期性中断，提供与 CPU 频率和其它资源无关的系统时间标记
- 48 位定时器，测量长时间间隔
- 在设定的时间点产生闹钟中断

## 3.12 模拟/数字转换器

为了进行模拟信号测量，XE164xN 片上集成了两个精度为 10 位、带有 11 + 5 路复用输入通道和采样保持电路的模数转换器（ADC0、ADC1）。两个 ADC 采用逐次逼近技术，可转换 4 路输入。采样时间（对电容器充电）和转换时间可编程设定，从而与外部电路相匹配。ADC 还可以工作在 8 位转换模式，此时转换时间进一步缩短。

多个独立的转换结果寄存器、可选的中断请求以及高度灵活的转换顺序为用户提供了最大程度的编程能力，用以满足各种应用场合的需要。两个 ADC 模块可同步工作，并行采样两路输入通道。

对于需要更多模拟输入通道的应用，XE164xN 的 ADC 模块提供了可自动控制的外部模拟复用器。对于需要较少模拟输入通道的应用，剩余通道可用作数字输入口引脚。

XE164xN 的 ADC 支持两种类型的请求源，可由多个内部和外部事件触发这些请求源。

- 同时激活并行请求，之后按照预先设定的顺序执行转换操作
- 按照用户设定的顺序执行队列转换请求

此外，可在不干扰转换序列的情况下，将一个特定通道的转换插入正在执行的转换序列中。根据转换请求的优先级对所有请求进行仲裁。

ADC 的数据压缩特性减少了 CPU 访问的次数。即使 CPU 以极低的速度运行，仍能以较高的转换速度为模拟输入提供精确的转换结果。可通过极限检查或结果积累实现数据压缩。

外围事件控制器（PEC）可用来控制 ADC 或将转换结果自动保存在存储器内的一个表格中（稍后进行转换结果评估），这样则可节省每次传送数据时进入和退出中断服务程序带来的软件开销。每个 ADC 包含 8 个可级联起来构成结果 FIFO 的结果寄存器。每个结果寄存器可使能待读模式，从而防止转换结果丢失。

为了防止数字噪声干扰模拟输入信号并避免输入触发噪声，可将模拟输入引脚与数字输入级断开，可通过 Px 口数字输入禁用寄存器分别设置每个引脚。

不进行模数转换操作时，ADC 的自动掉电特性能够最大程度降低系统功耗。

用户可通过每路通道的断线检测机制和复用器测试模式获知模拟信号源是否工作正常（如传感器系统）。

## 3.13 通用串行接口通道模块（USIC）

XE164xN 片上集成了三个 USIC 模块（USIC0、USIC1 和 USIC2），每个 USIC 模块包含两个独立的串行通信通道。

通用串行接口通道（USIC）模块基于通用的数据移位和数据保存结构，器件支持的所有串行通信协议均采用该结构。每路通道的基本数据缓存结构（一个发送缓存和两个接收缓存）支持全双工数据传送。此外，数据处理软件可适用 FIFO。

USIC 的协议部分（移位时钟/数据/控制信号的产生）独立于其通用结构，和特定协议相关的操作由协议预处理器（PPP）处理。

USIC 的输入/输出线通过引脚连接单元连接到各引脚。每路 USIC 通道的输入和输出可分配给不同的接口引脚，为应用软件提供了极大的灵活性。所有引脚分配均可实时完成。

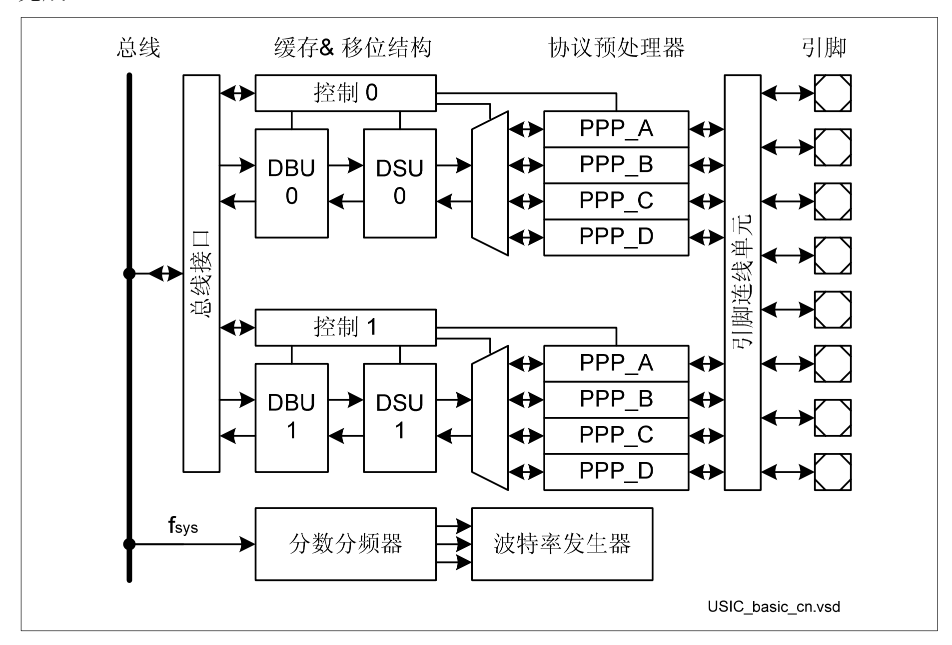



**图 11　　USIC 模块的通用结构**

USIC 模块的常规结构具有以下好处：

- 通过配置相同的界面使得数据管理的灵活性更高
- 支持不同协议的底层驱动的复杂度降低
- 支持多种协议且性能改善（波特率、缓存处理）

目标协议

每路 USIC 通道可按以下协议接收和发送数据帧，每个数据帧包含的数据字长可选（1-16 位）：

- **UART**（异步串行接口）
  - 模块功能：最大波特率 = $f_{SYS}/4$
  - 数据帧的长度可选：1- 63 位
  - MSB 或 LSB 在先
- 硬件 **LIN** 支持（本地互连网络）
  - 模块功能：最大波特率 = $f_{SYS}/16$
  - 由软件控制的校验和产生
  - 波特率产生器能够根据捕获事件进行波特率检测
- **SSC/SPI/QSPI**（带有或不带数据缓存的同步串行通道）
  - 模块功能：最大波特率 = $f_{SYS}/2$，受限于环路延迟
  - 每帧的数据位个数可选（1-63 位），对于超过 63 位的数据帧，需明确定义数据帧的结束
  - MSB 或 LSB 在先
  - 从控选择信号的控制可选
- **IIC**（内部 IC 总线）
  - 支持的波特率：100 kbit/s - 400 kbit/s
- **IIS**（串行数字音频总线）
  - 模块功能：最大波特率 = $f_{SYS}/2$

*注：所选择的功能（如数字滤波、输入同步、采样点调整等）会限制可达到的最大波特率。此外，还需注意附加延迟，比如内部或外部的传输延迟和驱动延迟（例如用于 UART 模式下的冲突检测等）。*





## 3.14 MultiCAN 模块

MultiCAN 模块包含多个全功能 CAN 节点，这些节点可通过网关功能交换数据和远程帧。根据 CAN V2.0B （active）规范发送和接收 CAN 帧。每个 CAN 节点均可处理 11 位标识符的标准帧和 29 位标识符的扩展帧。

所有 CAN 节点共用一套报文对象，每个报文对象可被独立分配给任一 CAN 节点。除了存储接收帧和发送帧外，报文对象可组合起来，在 CAN 节点之间构建网关或者建立 FIFO 缓存器。

*注：可用的 CAN 节点及报文对象的个数和选用的产品型号有关。*

可将报文对象组织为双链列表结构，每个 CAN 节点都有各自的报文对象列表。CAN 节点只把帧储存到分配给该 CAN 节点列表的报文对象中，且只发送属于该报文对象列表中的报文。功能强大、由命令驱动的列表控制器执行所有报文对象列表操作。

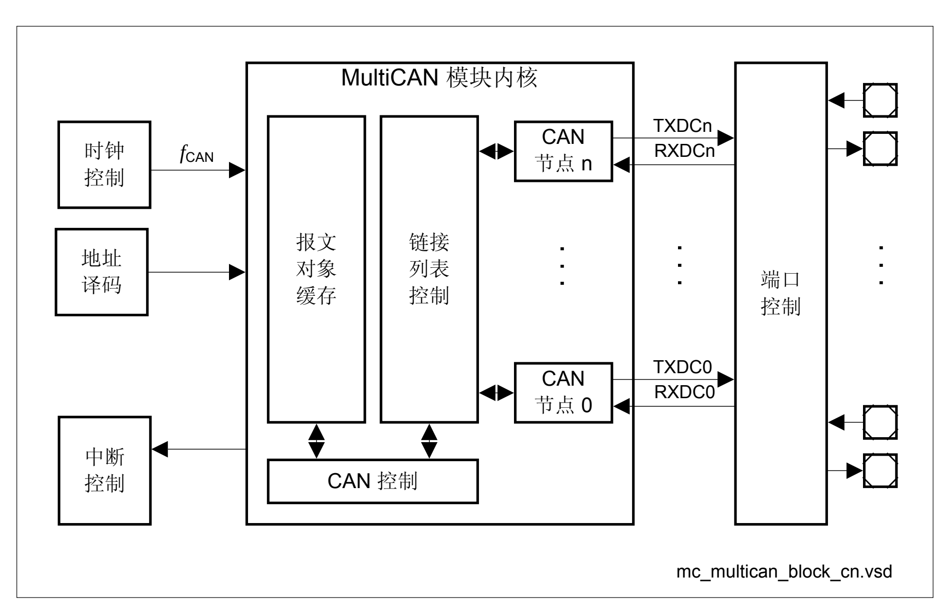



图 12 MultiCAN 模块框图

**MultiCAN 特性：**

- 根据 CAN V2.0 B active 规范实现 CAN 功能（与 ISO 11898 标准兼容）
- 独立的 CAN 节点
- 一组独立的报文对象（由所有 CAN 节点共用）

- 每个 CAN 节点具有一组专用控制寄存器
- 数据传送速率高达 1 Mbit/s，每个节点的数据传送速率可单独设定
- 具有灵活、功能强大的报文传送控制和错误处理能力
- 报文对象具有完整 CAN 功能：
  – 可分配给任一 CAN 节点
  – 可配置为发送或接收对象，或作为报文缓存 FIFO
  – 处理 11 位标识符的标准帧或 29 位标识符的扩展帧，带有可编程验收屏蔽功能，对接收帧进行验收滤波
  – 远程监控模式，且可通过帧计数器进行监控
- 支持自动网关模式
- 16 个可单独编程的中断节点
- 用于 CAN 总线监控的分析器模式

## 3.15 系统定时器

系统定时器由一个可编程预分频器和两个级联的定时器（10 位和 6 位）组成。这两个定时器均可产生中断请求。STM 的时钟源可选，定时器还可工作在省电模式。

因此，系统定时器使得软件能够对当前时钟进行操作，以便实现和时间有关的功能或者实现一个新的“时钟”。

## 3.16 看门狗定时器

看门狗定时器提供了一种故障保险机制，避免系统长时间处于故障状态。

芯片发生应用复位后，看门狗定时器始终被使能。可随时通过 DISWDT 和 ENWDT 指令禁止和使能看门狗定时器。在看门狗定时器溢出之前必须由软件刷新。如果发生硬件或软件错误，软件不能及时刷新，看门狗定时器将溢出，此时产生预警中断及复位请求。

看门狗定时器是一个 16 位定时器，其输入时钟是经 16,384 或 256 分频的系统时钟。可在看门狗定时器寄存器中预设一个重载值（保存在 WDTREL 中）以调整监控的时间间隔。应用程序每次服务看门狗之后，看门狗定时器被重载、预分频器被清零。

看门狗定时器的监控时间间隔为 3.2 µs 到 13.4 s（@ 80 MHz）。

上电后看门狗定时器的缺省时间间隔为 6.5 ms（@ 10 MHz）。

## 3.17 时钟产生

时钟产生单元可从多个外部和内部时钟源产生 XE164xN 的系统时钟信号 $f_{SYS}$：

- 具有引出端电压或内核电压的外部时钟信号
- 使用片上振荡器的外部晶振或谐振器
- 不带晶振/谐振器的片上时钟源
- 用于进一步降低功耗的唤醒时钟（超低功耗）

带有多个预分频器的可编程片上PLL可选择由标准晶振、时钟输入信号或片上时钟源提供输入时钟，用以产生可实现系统最大性能的时钟信号。请参见章节 **4.7.2**。

晶振振荡器频率跌至极限值以下、或完全停止工作时，振荡器看门狗（OWD）将产生中断。在这种情况下，可由紧急时钟作为系统的输入时钟，确保在出现外部时钟故障时系统仍能正常工作。

所有可用的时钟信号可从两个可选的引脚中的一个输出。

## 3.18 并行端口

XE164xN 提供多达 76 条 I/O 线，组成 7 个输入/输出口和 2 个输入口。所有端口线均可位寻址，可通过端口控制寄存器分别（按位）配置为输入或输出。端口配置可为每个引脚选择方向（输入/输出）、推挽输出或漏极开路输出、激活上拉/下拉器件、边沿特性（形状）以及端口驱动器的驱动特性（输出电流）。这些 I/O 口为真正的双向口，用作输入时切换到高阻态。内部复位期间，所有引脚被配置为无上拉/下拉器件的输入引脚。

所有端口线均具有复用输入或输出功能。这些复用功能可分配给不同的端口引脚，对于特定的应用来说，这样可最大程度优化端口线的使用。因此，某些功能在 表 9 中会多次出现。

所有端口线不用作复用功能时，可作为通用 IO 口使用。

**表 9　　XE164xN 端口一览**

| 端口 | 宽度 | I/O | 连接模块 |
|---|---|---|---|
| P0 | 8 | I/O | EBC（A7…A0）、CCU6、USIC、CAN |
| P1 | 8 | I/O | EBC（A15…A8）、CCU6、USIC |
| P2 | 14 | I/O | EBC（READY、$\overline{BHE}$、A23…A16、AD15…AD13、D15…D13）、CAN、CC2、GPT12E、USIC、DAP/JTAG |
| P4 | 4 | I/O | EBC（$\overline{CS3}$ … $\overline{CS0}$）、CC2、CAN、GPT12E、USIC |
| P5 | 11 | I | 模拟输入、CCU6、DAP/JTAG、GPT12E、CAN |
| P6 | 3 | I/O | ADC、CAN、GPT12E |
| P7 | 5 | I/O | CAN、GPT12E、SCU、DAP/JTAG、CCU6、ADC、USIC |
| P10 | 16 | I/O | EBC（ALE、$\overline{RD}$、$\overline{WR}$、AD12…AD0、D12…D0）、CCU6、USIC、DAP/JTAG、CAN |
| P15 | 5 | I | 模拟输入、GPT12E |

## 3.19 指令集概述

XE164xN的指令集归纳见 表 10。

可用于特殊指令的寻址模式、指令的功能、条件指令的条件参数及每条指令的操作码等描述，请参见“**指令集手册**”。

本文档也给出每条指令的详细描述。

**表 10 指令集归纳**

| 助记符 | 说明 | 字节 |
|---|---|---|
| ADD(B) | 字（字节）相加 | 2 / 4 |
| ADDC(B) | 带进位的字（字节）相加 | 2 / 4 |
| SUB(B) | 字（字节）相减 | 2 / 4 |
| SUBC(B) | 带借位的字（字节）相减 | 2 / 4 |
| MUL(U) | 有（无）符号数相乘（16 位/16 位），操作数位于 GPR 中 | 2 |
| DIV(U) | 有（无）符号数相除（16 位/16 位），被除数和除数 分别位于寄存器 MDL 和 GPR 中 | 2 |
| DIVL(U) | 有（无）符号数相除（32 位/16 位），被除数和除数 分别位于寄存器 MD 和 GPR 中 | 2 |
| CPL(B) | 对 GPR 中的字（字节）取补码 | 2 |
| NEG(B) | 对 GPR 中的字（字节）取负 | 2 |
| AND(B) | 字（字节）按位与 | 2 / 4 |
| OR(B) | 字（字节）按位或 | 2 / 4 |
| XOR(B) | 字（字节）按位异或 | 2 / 4 |
| BCLR/BSET | 对直接寻址位清零/置位 | 2 |
| BMOV(N) | 转移某一直接寻址位（或其取负值） | 4 |
| BAND/BOR/BXOR | 两个直接寻址位相与/或/异或 | 4 |
| BCMP | 两个直接寻址位比较 | 4 |

| 助记符 | 说明 | 字节 |
|---|---|---|
| BFLDH/BFLDL | 用立即数对可位寻址存储器区内被屏蔽的高/低字节按位修改 | 4 |
| CMP(B) | 比较两个字（字节） | 2 / 4 |
| CMPD1/2 | 比较字型数据和 GPR 的值，之后 GPR 的值减 1/2 | 2 / 4 |
| CMPI1/2 | 比较字型数据和 GPR 的值，之后 GPR 的值加 1/2 | 2 / 4 |
| PRIOR | 确定归一化字 GPR 所需的移位周期数并将结果保存在字 GPR 中 | 2 |
| SHL/SHR | 将 GPR 中的字左移/右移 | 2 |
| ROL/ROR | 将 GPR 中的字循环左移/右移 | 2 |
| ASHR | 将 GPR 中的字算数（符号位）右移 | 2 |
| MOV(B) | 将字（字节）数据转移 | 2 / 4 |
| MOVBS/Z | 将字节操作数进行符号或零字节扩展，并转移到字地址 | 2 / 4 |
| JMPA/I/R | 若条件满足，则执行绝对/间接/相对跳转 | 4 |
| JMPS | 绝对跳转到某个代码段 | 4 |
| JB(C) | 若某位被置位，则执行相对跳转（并对该位清零） | 4 |
| JNB(C) | 若某位未被置位，则执行相对跳转（并置位该位） | 4 |
| CALLA/I/R | 若条件满足，调用绝对/间接/相对寻址的子程序 | 4 |
| CALLS | 在任意代码段内调用绝对寻址的子程序 | 4 |
| PCALL | 将（直接寄存器寻址的）字型数据压入系统堆栈并调用绝对寻址的子程序 | 4 |
| TRAP | 根据强制中断编号调用中断服务程序 | 2 |
| PUSH/POP | 将字压入系统堆栈/将字从系统堆栈弹出 | 2 |
| SCXT | 将寄存器中的字压入堆栈，并更新寄存器 | 4 |
| RET(P) | 从段内子程序返回（并将字从系统堆栈弹出） | 2 |
| RETS | 从段间子程序返回 | 2 |

| 助记符 | 说明 | 字节 |
|---|---|---|
| RETI | 从中断服务程序返回 | 2 |
| SBRK | 软件断点 | 2 |
| SRST | 软件复位 | 4 |
| IDLE | 进入空闲模式 | 4 |
| PWRDN | 未使用的指令 [1] | 4 |
| SRVWDT | 服务看门狗定时器 | 4 |
| DISWDT/ENWDT | 禁用/使能看门狗定时器 | 4 |
| EINIT | 初始化结束寄存器锁定 | 4 |
| ATOMIC | 开始执行不可分（ATOMIC）序列 | 2 |
| EXTR | 开始执行扩展寄存器序列操作 | 2 |
| EXTP(R) | 开始执行扩展页（和寄存器）序列 | 2 / 4 |
| EXTS(R) | 开始执行扩展段（和寄存器）序列 | 2 / 4 |
| NOP | 空操作 | 2 |
| CoMUL/CoMAC | 乘（并累加） | 4 |
| CoADD/CoSUB | 加/减 | 4 |
| Co(A)SHR | （算术）右移 | 4 |
| CoSHL | 左移 | 4 |
| CoLOAD/STORE | 加载累加器/存储 MAC 寄存器 | 4 |
| CoCMP | 比较 | 4 |
| CoMAX/MIN | 最大/最小 | 4 |
| CoABS/CoRND | 绝对值/累加器舍入 | 4 |
| CoMOV | 数据转移 | 4 |
| CoNEG/NOP | 累加器取负/空操作 | 4 |

1）由于 XE164xN 采用了增强的功率控制方案，因此不使用进入掉电模式指令。PWRDN 会被正确译码，但不触发任何操作。

# 4 电气参数

XE164xN 的工作范围由它的电气特性决定。为了使器件正常工作，将器件集成到目标环境中时必须遵守相关的限制。

## 4.1 常规参数

除非特别声明，这些参数适用于所有后续的描述。

表 11 绝对最大额定参数

| 参数 | 符号 | 数值 | | | 单位 | 注/ 测试条件 |
|---|---|---|---|---|---|---|
| | | 最小值 | 典型值 | 最大值 | | |
| 当引脚被驱动为高电平时，引脚上的输出电流 | $I_{OH}$ SR | -30 | - | - | mA | |
| 当引脚被驱动为低电平时，引脚上的输出电流 | $I_{OL}$ SR | - | - | 30 | mA | |
| 过载电流 | $I_{OV}$ SR | -10 | - | 10 | mA | 1) |
| 过载电流的绝对值之和 | $\Sigma\|I_{OV}\|$ SR | - | - | 100 | mA | 1) |
| 结温 | $T_J$ SR | -40 | - | 150 | °C | |
| 储存温度 | $T_{ST}$ SR | -65 | - | 150 | °C | - |
| 数字内核电源电压 | $V_{DDI}$ SR | -0.5 | - | 1.65 | V | |
| IO 引出端和电压调节器的数字电源电压 | $V_{DDP}$ SR | -0.5 | - | 6.0 | V | |
| 任意引脚对地（$V_{SS}$）电压 | $V_{IN}$ SR | -0.5 | - | $V_{DDP}$ + 0.5 | V | $V_{IN} \leq V_{DDP(max)}$ |

1）若 $V_{IN}$ 超出绝对最大额定值的范围，则发生过载。此时，必须限定电流不能超过规定的列表值。

*注：如果器件的工作条件超过上述“绝对最大额定值”，可能会引起器件永久性损坏。这仅是极限参数，我们不建议器件工作在极限值甚至超过上述极限值。器件长时间工作在极限条件下可能会影响其可靠性。*

*在过载情况下（$V_{IN}$>$V_{DDP}$ 或 $V_{IN}$<$V_{SS}$），$V_{DDP}$ 引脚对地（$V_{SS}$）电压绝对不能超过其绝对最大额定值。*

### 4.1.1 工作条件

为了确保 XE164xN 正常工作，器件工作时绝不能超过以下工作条件。后面章节中规定的所有参数均满足以下工作条件，除非另外声明。

*注：典型参数值是指在室温和标称电源电压下的值；最小/最大参数值还包括最低/最高温度和最低/最高电源电压条件下的值。详细描述将在文中合适的地方给出。*

表 12 工作条件

| 参数 | 符号 | 数值 | | | 单位 | 注/<br>测试条件 |
|---|---|---|---|---|---|---|
| | | 最小值 | 典型值 | 最大值 | | |
| DMP_M 的电压调节器缓冲电容 | $C_{EVRM}$ SR | 1.0 | - | 4.7 | µF | 1) |
| DMP_1 的电压调节器缓冲电容 | $C_{EVR1}$ SR | 0.47 | - | 2.2 | µF | 2)1) |
| 外部负载电容 | $C_L$ SR | - | 20 3) | - | pF | 引脚输出驱动器处于缺省模式 4) |
| 系统频率 | $f_{SYS}$ SR | - | - | 80 | MHz | 5) |
| 模拟输入的过载电流 6) | $I_{OVA}$ SR | -2 | - | 5 | mA | 未经产品出厂测试 |
| 数字输入的过载电流 6) | $I_{OVD}$ SR | -5 | - | 5 | mA | 未经产品出厂测试 |
| 模拟输入的过载电流耦合因子 7) | $K_{OVA}$ CC | - | $2.5 \times 10^{-4}$ | $1.5 \times 10^{-3}$ | - | $I_{OV} < 0$ mA；未经产品出厂测试 |
| | | - | $1.0 \times 10^{-6}$ | $1.0 \times 10^{-4}$ | - | $I_{OV} > 0$ mA；未经产品出厂测试 |
| 数字 I/O 引脚的过载电流耦合因子 | $K_{OVD}$ CC | - | $1.0 \times 10^{-2}$ | $3.0 \times 10^{-2}$ | - | $I_{OV} < 0$ mA；未经产品出厂测试 |





| 参数 | 符号 | 数值 | | | 单位 | 注/<br>测试条件 |
|---|---|---|---|---|---|---|
| | | 最小值 | 典型值 | 最大值 | | |
| | | - | $1.0 \times 10^{-4}$ | $5.0 \times 10^{-3}$ | - | $I_{OV}$ > 0 mA；未经产品出厂测试 |
| 过载电流的绝对值之和 | $\Sigma\|I_{OV}\|$ SR | - | - | 50 | mA | 未经产品出厂测试 |
| 数字内核电源电压 | $V_{DDI}$ SR | 1.4 | - | 1.6 | V | |
| IO 引出端和电压调节器的数字电源电压 | $V_{DDP}$ SR | 3.0 | - | 5.5 | V | |
| 数字地电压 | $V_{SS}$ SR | - | 0 | - | V | |

1） 为了确保电压调节器稳定工作，必须使用陶瓷电容来缓冲 EVR。缓冲电容（其电容值为推荐值）应尽可能靠近每个 VDDI 引脚以使得电路板上导线的阻值低于 2 Ω。将所有 VDDI1 引脚相连。为了使器件能在所有条件下（如温度）正常工作，可得到一个所需的最小电容值。更高的电容值会使启动时间略微增加。

2） 每个引脚都接一个电容。

3） 该数值为参考负载值。对于更大的容性负载，需要使用 PAD 特性一节中列出的额定值降低因子。

4） 时序对于工作在缺省电流模式（复位之后所选择的模式）下的引脚驱动器有效。降低输出电流可能导致延迟增加或驱动能力（CL）降低。

5） 特定型号产品的工作频率可能降低。这由器件的命名（...FxxL）来体现。80 MHz 器件标识为...F80L。

6） 若超过了器件的标准工作条件，则发生过载。即任意引脚上的电压超过了规定的范围：$V_{OV} > V_{IHmax}$（$I_{OV} > 0$）或 $V_{OV} < V_{ILmin}$（$I_{OV} < 0$）。所有引脚上输入过载电流的绝对值之和不可超过 50 mA。电源电压必须保持在规定的极限值之内。在过载条件下，器件能否正常工作取决于实际应用。引脚 XTAL1 上绝不能发生过载（由 $V_{DDI}$ 供电）。

7） 流过引脚的过载电流（$I_{OV}$）会向相邻引脚注入误差电流（$I_{INJ}$）。该误差电流会加到相应引脚的漏电流（$I_{OZ}$）中。误差电流值取决于过载电流、由过载耦合因子 $K_{OV}$ 确定。误差电流的极性和过载电流的极性相反。流过一个引脚的总电流为 $|I_{TOT}| = |I_{OZ}| + (|I_{OV}| \times K_{OV})$。该附加的误差电流可能使得模拟输入引脚上的输入电压失真。

## 4.2 电压范围定义

XE164xN 的时序和电源电压有关。因此，将给出两种常用电压范围（见下表）的时序值。

表 13 高电压范围定义

| 参数 | 符号 | 数值 | | | 单位 | 注/<br>测试条件 |
|---|---|---|---|---|---|---|
| | | 最小值 | 典型值 | 最大值 | | |
| IO 引出端和电压调节器的数字电源电压 | $V_{DDP}$ SR | 4.5 | 5.0 | 5.5 | V | |

表 14 低电压范围定义

| 参数 | 符号 | 数值 | | | 单位 | 注/<br>测试条件 |
|---|---|---|---|---|---|---|
| | | 最小值 | 典型值 | 最大值 | | |
| IO 引出端和电压调节器的数字电源电压 | $V_{DDP}$ SR | 3.0 | 3.3 | 4.5 | V | |

### 4.2.1 参数解读

下面列出的参数包括 XE164xN 的特性以及对系统的要求。为了帮助用户在设计时正确理解并评估这些参数，在“符号”一栏中分别标出是对微控制器还是对系统的要求。

**CC**（控制器特性）：

XE164xN 提供具有规定特性的信号。

**SR**（系统要求）：

外部系统必须向 XE164xN 提供具有规定特性的信号。

## 4.3 直流参数

这些参数为静态值或平均值，开关式转换操作可能会超过这些参数值（如输出电流）。

XE164xN 支持从 3.0 V 到 5.5 V 较宽的电源电压范围。不过，在器件工作期间，该电源电压的变化应保持在标称电源电压的 10%以内，不能在整个工作电压范围内变化。

由于对电源电压有限制、并且电气特性和电源电压有关，因此分别给出对应于高电压范围和低电压范围的参数。

器件工作期间，电源电压的变化速度不能高于最大值，即 dV/dt < 1V/ms。

漏电流与工作温度以及相关引脚上的电压电平密切相关。下表中的最大值对应于最坏情况，即工作温度最高且输入电平与电源电压相等。

将应用中的值分别代入到漏电流额定值降级公式（见下表），则可确定该应用的漏电流值。

XE164xN引出端的设计使得它可工作在各种驱动模式，其直流参数规范是指引出端的电流极限值，详见章节 4.7.4 的描述。

**上拉/下拉器件特性**

XE164xN 的大多数引脚配备上拉/下拉器件。一些特殊引脚的上拉/下拉特性固定；一般端口引脚的上拉/下拉特性可由应用选择。

规定的电流值指示如何根据期望的信号电平配置对应引脚的拉动特性。图 13 给出电流通路。

对于拉动电流与给定极限值不匹配的情况，为了补偿系统，可能需要使用一些电阻（图中标为阴影）。

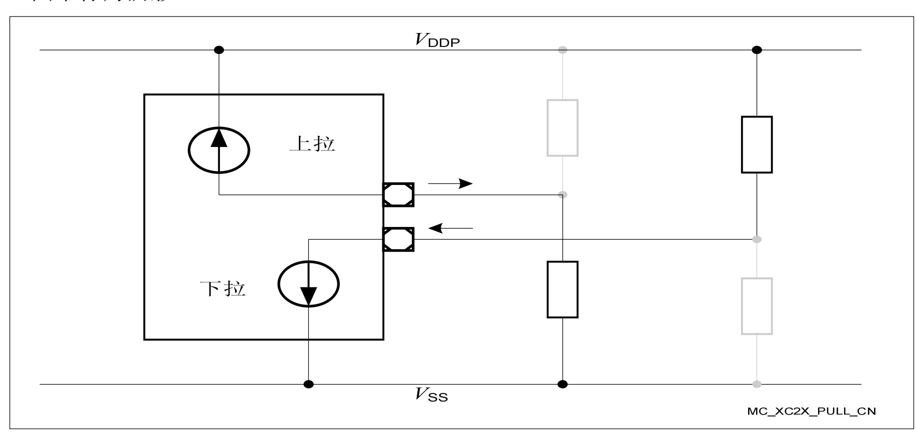



图 13　　上拉/下拉电流定义

### 4.3.1 高电压范围下的 DC 参数

如果信号电平保持在该表规定的极限值以内，则可保证器件正常工作而不出现过载的情况。对于超出极限值的信号电平，请参考过载电流 $I_{OV}$ 的参数规范。

*注：适用的工作条件。*

**表 15** 在$V_{DDP}$ ≤ 5.5V、$V_{DDP}$ 典型值 5V、$V_{DDP}$ ≥ 4.5V的条件下有效。

表 15 高电压范围下的 DC 参数

| 参数 | 符号 | 数值 | | | 单位 | 注/ 测试条件 |
|---|---|---|---|---|---|---|
| | | 最小值 | 典型值 | 最大值 | | |
| 引脚电容（数字输入/输出）。对于双导接引脚，该值翻倍 [1] | $C_{IO}$ CC | - | - | 10 | pF | 未经产品出厂测试 |
| 输入滞后 [2] | HYS CC | 0.11 × $V_{DDP}$ | - | - | V | $R_S$ = 0 Ω |
| 模拟端口引脚输入漏电流的绝对值 [3] | $\lvert I_{OZ1}\rvert$ CC | - | 10 | 200 | nA | $V_{IN} > V_{SS}$；$V_{IN} < V_{DDP}$ |
| 所有其它引脚输入漏电流的绝对值。对于双导接引脚，该值翻倍 [3] [1] [4] | $\lvert I_{OZ2}\rvert$ CC | - | 0.2 | 5 | μA | $T_J \leq 110°C$；$V_{IN} > V_{SS}$；$V_{IN} < V_{DDP}$ |
| | | - | 0.2 | 15 | μA | $T_J \leq 150°C$；$V_{IN} > V_{SS}$；$V_{IN} < V_{DDP}$ |
| 拉动电平强制电流 [5] | $\lvert I_{PLF}\rvert$ SR | 250 | - | - | μA | $V_{IN} \geq V_{IHmin}$ (使能下拉) $V_{IN} \leq V_{ILmax}$ (使能上拉) |
| 拉动电平保持电流 [6] | $\lvert I_{PLK}\rvert$ SR | - | - | 30 | μA | $V_{IN} \geq V_{IHmin}$ (使能上拉) $V_{IN} \leq V_{ILmax}$ (使能下拉) |
| 输入高电压 (XTAL1 除外的所有引脚) | $V_{IH}$ SR | 0.7× $V_{DDP}$ | - | $V_{DDP}$ + 0.3 | V | |

| 参数 | 符号 | 数值 | | | 单位 | 注/<br>测试条件 |
|---|---|---|---|---|---|---|
| | | 最小值 | 典型值 | 最大值 | | |
| 输入低电压<br>(XTAL1 除外的所有引脚) | $V_{IL}$ SR | -0.3 | - | 0.3 × $V_{DDP}$ | V | |
| 输出高电压 [7] | $V_{OH}$ CC | $V_{DDP}$ - 1.0 | - | - | V | $I_{OH} \geq I_{OHmax}$ |
| | | $V_{DDP}$ - 0.4 | - | - | V | $I_{OH} \geq I_{OHnom}$ [8] |
| 输出低电压 [7] | $V_{OL}$ CC | - | - | 0.4 | V | $I_{OL} \leq I_{OLnom}$ [8] |
| | | - | - | 1.0 | V | $I_{OL} \leq I_{OLmax}$ |

1） 由于每个双导接引脚和两个引出端相连（标准引出端和高速引出端），因此该数值为标称值的两倍。可从第 2 章的引脚定义列表中查找到这些引脚。

2） 未经产品出厂测试–已经过设计/特性验证。实现滞后特性以避免由于内部地电压波动而引起的亚稳态和切换。在所有情况下都无法抑制由于外部系统噪声引起的切换。

3） 若由地电压波动（$V_{IN} < V_{SS}$）或电源电压纹波（$V_{IN} > V_{DDP}$）导致输入电压超过相应的供电电压，则可能有电流流经保护二极管。该电流会加到漏电流中。如果过载电流流经相邻的引脚，则会在该引脚引入一个附加误差电流（$I_{INJ}$）。请参考过载耦合因子 $K_{OV}$ 的定义。

4） 表中给出的值为最坏情况下的值。在产品测试中，仅在 125°C 下测试该漏电流；由相关性确保其它值符合规范。降低额定值时，请参考下面的描述：漏电流额定值的降低和温度有关（$T_J$ = 结温 [°C]）：$I_{OZ} = 0.05 \times e^{(1.5 + 0.028 \times TJ)}$ [μA]。例如，温度为 95°C 时，计算得到的漏电流为 3.2 μA。漏电流额定值的降低和电压有关（$DV = V_{DDP} - V_{PIN}$ [V]）：$I_{OZ} = I_{OZtempmax} - (1.6 \times DV)$ [μA]。该额定值降级公式用于计算最高温度条件下的近似值。

5） 利用给出的最小电流驱动该引脚，以改变拉动器件所驱动的缺省引脚电平。

6） 将流经该引脚的电流限制在标出的值以内，从而拉动器件能够保持缺省的引脚电平。

7） 端口驱动器可以输出的最大电流取决于所选择的输出驱动器模式。该参数规范不适用于切换到漏极开路模式的输出。在该情况下，对应的输出悬空，电压由外部电路决定。

8） 一般来说：随着输出电流降低，输出电平接近对应的电源电压（$V_{OL} \rightarrow V_{SS}$，$V_{OH} \rightarrow V_{DDP}$）。不过，仅验证了标称输出电流的电平。

### 4.3.2 低电压范围下的 DC 参数

如果信号电平保持在该表规定的极限值以内，则可保证器件正常工作而不出现过载的情况。对于超出极限值的信号电平，请参考过载电流 $I_{OV}$ 的参数规范。

*注：适用的工作条件。*

表 16 在$V_{DDP}$ ≥ 3.0V、$V_{DDP}$ 典型值 3.3V和$V_{DDP}$ ≤ 4.5V的条件下有效。

**表 16 低电压范围下的 DC 参数**

| 参数 | 符号 | | 数值 | | | 单位 | 注/ 测试条件 |
|---|---|---|---|---|---|---|---|
| | | | 最小值 | 典型值 | 最大值 | | |
| 引脚电容（数字输入/输出）。对于双导接引脚，该值翻倍 [1] | $C_{IO}$ | CC | - | - | 10 | pF | 未经产品出厂测试 |
| 输入滞后 [2] | HYS | CC | 0.07 × $V_{DDP}$ | - | - | V | $R_S$ = 0 Ω |
| 模拟端口引脚输入漏电流的绝对值 [3] | $\|I_{OZ1}\|$ | CC | - | 10 | 200 | nA | $V_{IN} > V_{SS}$； $V_{IN} < V_{DDP}$ |
| 所有其它引脚输入漏电流的绝对值。对于双导接引脚，该值翻倍 [3] [1] [4] | $\|I_{OZ2}\|$ | CC | - | 0.2 | 2.5 | μA | $T_J \leq 110°C$； $V_{IN} > V_{SS}$； $V_{IN} < V_{DDP}$ |
| | | | - | 0.2 | 8 | μA | $T_J \leq 150°C$； $V_{IN} > V_{SS}$； $V_{IN} < V_{DDP}$ |
| 拉动电平强制电流 [5] | $\|I_{PLF}\|$ | SR | 150 | - | - | μA | $V_{IN} \geq V_{IHmin}$ (下拉) $V_{IN} \leq V_{ILmax}$ (上拉) |
| 拉动电平保持电流 [6] | $\|I_{PLK}\|$ | SR | - | - | 10 | μA | $V_{IN} \geq V_{IHmin}$ (上拉) $V_{IN} \leq V_{ILmax}$ (下拉) |
| 输入高电压 (XTAL1 除外的所有引脚) | $V_{IH}$ | SR | 0.7× $V_{DDP}$ | - | $V_{DDP}$ + 0.3 | V | |

| 参数 | 符号 | | 数值 | | | 单位 | 注/ 测试条件 |
|---|---|---|---|---|---|---|---|
| | | | 最小值 | 典型值 | 最大值 | | |
| 输入低电压 (XTAL1 除外的所有引脚) | $V_{IL}$ | SR | -0.3 | - | 0.3 × $V_{DDP}$ | V | |
| 输出高电压 [7] | $V_{OH}$ | CC | $V_{DDP}$ - 1.0 | - | - | V | $I_{OH} \geq I_{OHmax}$ |
| | | | $V_{DDP}$ - 0.4 | - | - | V | $I_{OH} \geq I_{OHnom}$ [8] |
| 输出低电压 [7] | $V_{OL}$ | CC | - | - | 0.4 | V | $I_{OL} \leq I_{OLnom}$ [8] |
| | | | - | - | 1.0 | V | $I_{OL} \leq I_{OLmax}$ |

1） 由于每个双导接引脚和两个引出端相连（标准引出端和高速引出端），因此该数值为标称值的两倍。可从第 2 章的引脚定义列表中查找到这些引脚。

2） 未经产品出厂测试–已经过设计/特性验证。实现滞后特性以避免由于内部地电压波动而引起的亚稳态和切换。在所有情况下都无法抑制由于外部系统噪声引起的切换。

3） 若由地电压波动（$V_{IN} < V_{SS}$）或电源电压纹波（$V_{IN} > V_{DDP}$）导致输入电压超过相应的供电电压，则可能有电流流经保护二极管。该电流会加到漏电流中。如果过载电流流经相邻的引脚，则会在该引脚引入一个附加误差电流（$I_{INJ}$）。请参考过载耦合因子 $K_{OV}$ 的定义。

4） 表中给出的值为最坏情况下的值。在产品测试中，仅在 125°C 下测试该漏电流；由相关性确保其它值符合规范。降低额定值时，请参考下面的描述：漏电流额定值的降低和温度有关（$T_J$ = 结温 [°C]）：$I_{OZ} = 0.05 \times e^{(1.5 + 0.028 \times TJ)}$ [μA]。例如，温度为 95°C 时，计算得到的漏电流为 3.2 μA。漏电流额定值的降低和电压有关（DV = $V_{DDP}$ - $V_{PIN}$ [V]）：$I_{OZ} = I_{OZtempmax}$ - (1.6 × DV) [μA]。该额定值降级公式用于计算最高温度条件下的近似值。

5） 利用给出的最小电流驱动该引脚，以改变拉动器件所驱动的缺省引脚电平：对于上拉器件而言 $V_{PIN} \leq V_{IL}$；对于下拉器件而言 $V_{PIN} \geq V_{IH}$。

6） 将流经该引脚的电流限制在标出的值以内，从而拉动器件能够保持缺省的引脚电平：对于上拉器件而言 $V_{PIN} \geq V_{IH}$；对于下拉器件而言 $V_{PIN} \leq V_{IL}$。

7） 端口驱动器可以输出的最大电流取决于所选择的输出驱动器模式。该参数规范不适用于切换到漏极开路模式的输出。在该情况下，对应的输出悬空，电压由外部电路决定。

8） 一般来说：随着输出电流降低，输出电平接近对应的电源电压（$V_{OL} \rightarrow V_{SS}$，$V_{OH} \rightarrow V_{DDP}$）。不过，仅验证了标称输出电流的电平。

### 4.3.3 功耗

XE164xN 的功耗取决于下面几个因素：电源电压、工作频率、工作电路以及工作温度。这里规定的功耗由两部分组成：

- 由器件工作状态决定的开关电流 $I_S$
- 由器件温度决定的漏电流 $I_{LK}$

确定实际功耗时，必须将开关电流 $I_S$ 和漏电流 $I_{LK}$ 这两部分相加：

$I_{DDP} = I_S + I_{LK}$

*注：功耗值未经产品出厂测试，已经过设计/特性验证。*

*为了确定外部电源而计算总功耗时，还必须要考虑引出端驱动器的电流。*

下面给出不同工作条件下的功耗参数和它们的值：

- **正常工作模式：**

  常规工作，即外设有效，执行 Flash 中的代码。

- **停止模式：**

  晶体振荡器和 PLL 停止工作，Flash 关闭，电源域 DMP_1 中的时钟停止。

*注：最大值涵盖所有产品器件在规定的整个工作范围内的情况。*

*典型值是指在典型工作情况下各器件的平均功耗，如额定电源电压、室温、面向应用的操作。*

*上电复位之后，以最大可能的电流给 $V_{DDI}$ 的去耦电容充电。*

欲了解更多相关信息，请参考章节 5.2，散热问题。

*注：适用的工作条件。*

**表 17 开关电流功耗**

| 参数 | 符号 | 数值 | | | 单位 | 注/ 测试条件 |
|---|---|---|---|---|---|---|
| | | 最小值 | 典型值 | 最大值 | | |
| 所有外设有效且 EVVR 开启时的电源电流（正常工作模式） | $I_{SACT}$ CC | - | $6 + 0.6 \times f_{SYS}$ [1] | $8 + 1.0 \times f_{SYS}$ [1] | mA | 功率模式 = 正常工作；电压范围 = 高/低电压范围 [2)3)4)] |

| 参数 | 符号 | 数值 | | | 单位 | 注/ 测试条件 |
|---|---|---|---|---|---|---|
| | | 最小值 | 典型值 | 最大值 | | |
| 停止模式下的电源电流，EVVR 开启 | $I_{SSO}$ CC | - | 0.7 | 2.0 | mA | 功率模式 = 停止；<br>电压范围 = 高/低电压范围 4) |

1） $f_{SYS}$ 以 MHz 为单位。

2） 引出端电源引脚（$V_{DDPB}$）给片上 EVVR 提供输入电流，并提供引脚输出驱动器消耗的电流。在切换驱动器的输入电路时，消耗较小的电流。在快速启动模式下（Flash 模块未被激活），典型电流值降至 3+0.6× $f_{SYS}$。

3） 请考虑“正常工作模式下的电源电流”一节中描述的附加情况。

4） 引出端电源电压对该参数的影响较小。

**正常工作模式下的电源电流**

正常工作模式下实际的电源电流不仅取决于系统频率，还与 XE164xN 子系统的配置有关。

除了为器件逻辑供电之外，电源引脚还提供流经引脚输出驱动器的电流。

在切换驱动器的输入电路时，消耗较小的电流。

可单独为 IO 电源域供电。电源域 A（$V_{DDPA}$）为 ADC 和 P6 口供电。电源域 B（$V_{DDPB}$）为片上 EVVR 和所有其它端口供电。

器件工作期间，电源域 A 为每个有效的 ADC 模块提供的最大电流为 1.5 mA。

快速启动模式下（Flash 模块未被激活），电流典型值降低到 3 + 0.6× $f_{SYS}$ mA。

图 **14** 正常工作模式下电源电流与工作频率的关系图

*注：适用的工作条件。*

表 **18** 漏电流功耗

| 参数 | 符号 | 数值 | | | 单位 | 注/ 测试条件 |
|---|---|---|---|---|---|---|
| | | 最小值 | 典型值 | 最大值 | | |
| 电源漏电流 [1] | $I_{LK1}$ CC | - | 0.03 | 0.04 | mA | $T_J$ = 25°C[1] |
| | | - | 0.5 | 1.2 | mA | $T_J$ = 85°C[1] |
| | | - | 1.9 | 5.5 | mA | $T_J$ = 125°C[1] |
| | | - | 3.9 | 12.2 | mA | $T_J$ = 150°C[1] |

1）所有输入（包括配置为输入的引脚）置为 0 V-0.1 V 或（$V_{DDP}$ -0.1）V - $V_{DDP}$，所有输出（包括配置为输出的引脚）断开。

*注：一部分漏电流流经电源域 DMP_A（引脚 $V_{DDPA}$）。该电流的计算公式为：*
*$7{,}000 \ e^{-\alpha}$，其中 $\alpha = 5000 / (273 + 1.3 \times T_J)$。*
*$T_J = 150°C$ 时，计算所得电流为 160 μA。*

可根据下面的公式计算漏电流功耗：

$I_{LK1} = 500{,}000 \times e^{-\alpha}$，其中 $\alpha = 5000 / (273 + B \times T_J)$。

参数 B 可选择：

- 典型值 1.0
- 最大值 1.3



**图 15** 电源漏电流与温度的关系图

## 4.4 模数转换器的参数

采用这些参数值可实现最佳的 ADC 性能。

*注：适用的工作条件。*

表 19 ADC 的参数

| 参数 | 符号 | 数值 | | | 单位 | 注/<br>测试条件 |
|---|---|---|---|---|---|---|
| | | 最小值 | 典型值 | 最大值 | | |
| 模拟输入的开关电容 | $C_{AINSW}$ CC | - | - | 4 | pF | 未经产品出厂测试 [1] |
| 模拟输入的总电容 | $C_{AINT}$ CC | - | - | 10 | pF | 未经产品出厂测试 [1] |
| 参考输入的开关电容 | $C_{AREFSW}$ CC | - | - | 7 | pF | 未经产品出厂测试 [1] |
| 参考输入的总电容 | $C_{AREFT}$ CC | - | - | 15 | pF | 未经产品出厂测试 [1] |
| DNL 误差 | $\|EA_{DNL}\|$ CC | - | 0.8 | 1 | LSB | |
| 增益误差 | $\|EA_{GAIN}\|$ CC | - | 0.4 | 0.8 | LSB | |
| INL 误差 | $\|EA_{INL}\|$ CC | - | 0.8 | 1.2 | LSB | |
| 偏移误差 | $\|EA_{OFF}\|$ CC | - | 0.5 | 0.8 | LSB | |
| 模拟时钟频率 | $f_{ADCI}$ SR | 0.5 | - | 16.5 | MHz | 低电压范围 |
| | | 0.5 | - | 20 | MHz | 高电压范围 |
| 模拟输入通路的电阻 | $R_{AIN}$ CC | - | - | 2 | kΩ | 未经产品出厂测试 [1] |
| 参考输入通路的电阻 | $R_{AREF}$ CC | - | - | 2 | kΩ | 未经产品出厂测试 [1] |
| $V_{AGND}$ 断线检测延迟 [2] | $t_{BWG}$ CC | - | - | 50[3] | | |
| $V_{AREF}$ 断线检测延迟 [2] | $t_{BWR}$ CC | - | - | 50[4] | | |

| 参数 | 符号 | | 数值 | | | 单位 | 注/<br>测试条件 |
|---|---|---|---|---|---|---|---|
| | | | 最小值 | 典型值 | 最大值 | | |
| 8 位结果的转换时间 [2] | $t_{C8}$ | CC | $(11 + STC) \times t_{ADCI} + 2 \times t_{SYS}$ | - | - | | |
| 10 位结果的转换时间 [2] | $t_{C10}$ | CC | $(13 + STC) \times t_{ADCI} + 2 \times t_{SYS}$ | - | - | | |
| 总不可调整误差 | \|TUE\| | CC | - | 1 | 2 | LSB | [5] |
| 将模拟电路从掉电状态唤醒所需的时间，快速模式 | $t_{WAF}$ | CC | - | - | 4 | µs | |
| 将模拟电路从掉电状态唤醒所需的时间，慢速模式 | $t_{WAS}$ | CC | - | - | 15 | µs | |
| 模拟参考地 | $V_{AGND}$ | SR | $V_{SS}$ - 0.05 | - | 1.5 | V | |
| 模拟输入电压范围 | $V_{AIN}$ | SR | $V_{AGND}$ | - | $V_{AREF}$ | V | [6] |
| 模拟参考电压 | $V_{AREF}$ | SR | $V_{AGND}$ + 1.0 | - | $V_{DDPA}$ + 0.05 | V | |

1） 这些参数值涵盖了整个工作范围。在较为宽松的工作条件下（温度、电源电压），可使用典型值进行计算。在室温和标称电压的情况下，可使用以下典型值：$C_{AINTtyp}$ = 12 pF, $C_{AINStyp}$ = 5 pF, $R_{AINtyp}$ = 1.0 kΩ, $C_{AREFTtyp}$ = 15 pF, $C_{AREFStyp}$ = 10 pF, $R_{AREFtyp}$ = 1.0 kΩ。

2） 该参数包括采样时间（以及由 STC 规定的附加采样时间）、产生数字结果的时间以及将转换结果加载到结果寄存器所需的时间。基本时钟 $t_{ADCI}$ 的值取决于编程设置。

3） 在小于 500 µs 的转换率下、以连续预充电的周期数来测量 $V_{AGND}$ 断线检测延迟。结果低于 10%（$66_H$）。

4） 在小于 10 µs 的转换率下、以连续预充电的周期数来测量 $V_{AREF}$ 断线检测延迟。该功能受漏电流的影响，尤其是在高温的情况下。结果高于 80%（$332_H$）。

5） 在 $V_{AREFx}$ = $V_{DDPA}$ = 5.0V, $V_{AGND}$ = 0 V 的情况下测试 TUE。对于规定的电压范围内的所有其它电压都作过设计验证。只有当模拟端口引脚（见 $I_{OV}$ 的参数规范）上的输入过载电流的绝对值之和不超过 10 mA，且在测量期间 $V_{AREF}$ 和 $V_{AGND}$ 保持稳定的前提下，规定的 TUE 才有效。

6） $V_{AIN}$ 可能超过 $V_{AGND}$ 或 $V_{AREFx}$ 直至绝对最大额定值。不过，这些情况下的转换结果将分别是 $X000_H$ 或 $X3FF_H$。

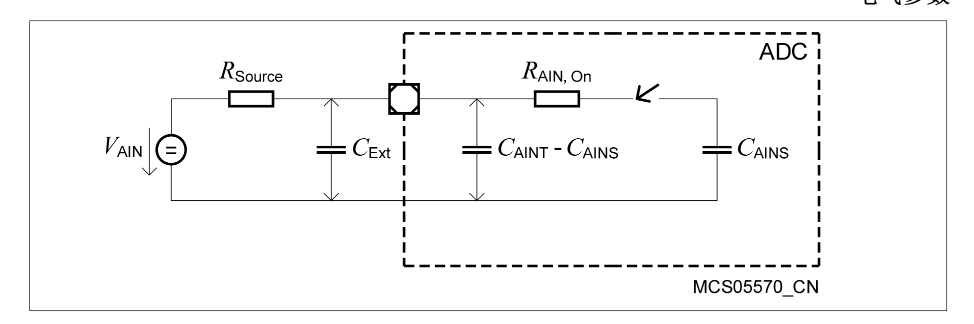



图 16　　模拟输入的等效电路

XE164xN中ADC模块的采样时间和转换时间可编程设定。可使用 表 20 计算该时序。

选择预分频器值时，一定不能超过 $f_{ADCI}$ 的极限值。

表 20　　ADC 计算表

| GLOBCTR.5-0（DIVA） | ADC 模拟时钟 $f_{ADCI}$ | INPCRx.7-0（STC） | 采样时间 [1) ] $t_S$ |
|---|---|---|---|
| $000000_B$ | $f_{SYS}$ | $00_H$ | $t_{ADCI} \times 2$ |
| $000001_B$ | $f_{SYS}$ /2 | $01_H$ | $t_{ADCI} \times 3$ |
| $000010_B$ | $f_{SYS}$ /3 | $02_H$ | $t_{ADCI} \times 4$ |
| … | $f_{SYS}$ / (DIVA +1) | … | $t_{ADCI} \times$ (STC+2) |
| $111110_B$ | $f_{SYS}$ /63 | $FE_H$ | $t_{ADCI} \times 256$ |
| $111111_B$ | $f_{SYS}$ /64 | $FF_H$ | $t_{ADCI} \times 257$ |

1） 若进行断线检测，所选择的采样时间加倍（因为加入预采样阶段）。

**转换时序举例 A**

假设：　$f_{SYS}$ = 80 MHz （即 $t_{SYS}$ = 12.5 ns), DIVA = $03_H$, STC = $00_H$

模拟时钟　$f_{ADCI} = f_{SYS}$ / 4 = 20 MHz, 即 $t_{ADCI}$ = 50 ns

采样时间　$t_S = t_{ADCI} \times 2$ = 100 ns

**10 位转换：**

$t_{C10}$ = 13× $t_{ADCI}$ + 2 × $t_{SYS}$ = 13 × 50 ns + 2 × 12.5 ns = 0.675 µs

**8 位转换：**

$t_{C8}$ = 11× $t_{ADCI}$ + 2 × $t_{SYS}$ = 11 × 50 ns + 2 × 12.5 ns = 0.575 µs

**转换时序举例 B**

假设： $f_{SYS}$ = 40 MHz （即 $t_{SYS}$ = 25 ns), DIVA = $02_H$, STC = $03_H$

模拟时钟 $f_{ADCI}$ = $f_{SYS}$ / 3 = 13.3 MHz, 即 $t_{ADCI}$ = 75 ns

采样时间 $t_S$ = $t_{ADCI}$ × 5 = 375 ns

**10 位转换：**

$t_{C10}$ = 16× $t_{ADCI}$ + 2 × $t_{SYS}$ = 16 × 75 ns + 2 × 25 ns = 1.25 µs

**8 位转换：**

$t_{C8}$ = 14× $t_{ADCI}$ + 2 × $t_{SYS}$ = 14 × 75 ns + 2 × 25 ns = 1.10 µs

## 4.5 系统参数

将 XE164xN 嵌入到应用系统中时，下述参数非常重要。

*注：这些参数未经产品出厂测试，但已经过设计/特性验证。*

*注：适用的工作条件。*

表 21　　各种系统参数

| 参数 | 符号 | | 数值 | | | 单位 | 注/测试条件 |
|---|---|---|---|---|---|---|---|
| | | | 最小值 | 典型值 | 最大值 | | |
| 内部时钟源频率短时偏差 [1] | $\Delta f_{INT}$ | CC | -1 | - | 1 | % | |
| 内部时钟源频率 | $f_{INT}$ | CC | 4.8 | 5.0 | 5.2 | MHz | |
| 唤醒时钟源频率 [2] | $f_{WU}$ | CC | 400 | 500 | 600 | kHz | FREQSEL = 00 |
| | | | 210 | 270 | 330 | kHz | FREQSEL = 01 |
| | | | 140 | 180 | 220 | kHz | FREQSEL = 10 |
| | | | 110 | 140 | 170 | kHz | FREQSEL = 11 |
| 停止模式的启动时间（从 PSRAM 中执行代码） | $t_{SSO}$ | CC | 11/ $f_{WU}$ [3] | - | 12/ $f_{WU}$ [3] | µs | |
| 内核电压（PVC）的监控电平 | $V_{PVC}$ | CC | $V_{LV}$ - 0.03 | $V_{LV}$ | $V_{LV}$ + 0.07[4] | V | [5] |
| 电源看门狗（SWD）的监控电平 | $V_{SWD}$ | CC | $V_{LV}$ - 0.10[6] | $V_{LV}$ | $V_{LV}$ + 0.15 | V | 电压范围 = 低电压 [5] |
| | | | $V_{LV}$ - 0.15 | $V_{LV}$ | $V_{LV}$ + 0.15 | V | 电压范围 = 高电压 [5] |

1） 短时频率偏差指的是 20 ms 的时间段，测量相对于在各自的时间起始时刻频率的偏差。

2） 对该参数进行了最快和最慢频率的测试。中间频率未经产品出厂测试 – 已经过设计/特性验证。

3） $f_{WU}$ 以 MHz 为单位。

4） 对于电压信号上升沿来讲，该值包含大约 50 mV 的滞后效应。

5） $V_{LV}$ = 选择 SWD 电压电平。

6） 极限值 $V_{LV}$ - 0.10 V 对于 OK1 电平有效，OK2 电平的极限值为 $V_{LV}$ - 0.15 V。

### $t_{SSO}$ 时序测量的条件

从停止模式转换到唤醒模式所需的时间称为 $t_{SSO}$。在以下条件下测试 $t_{SSO}$：

前提条件：执行编程指南中定义的序列进入停止模式。

模式转换启动条件： $\overline{\text{ESR0}}$ 引脚翻转触发启动序列。

结束条件：模式转换启动之后由 PSRAM 中执行的第一条指令引发的外部引脚翻转。

**表 22 寄存器 SWDCON0 位域 LEVxV 的编码**

| 编码 | 缺省电压电平 | 注 [1] |
|---|---|---|
| $0000_B$ | 2.9 V | |
| $0001_B$ | 3.0 V | LEV1V：复位请求 |
| $0010_B$ | 3.1 V | |
| $0011_B$ | 3.2 V | |
| $0100_B$ | 3.3 V | |
| $0101_B$ | 3.4 V | |
| $0110_B$ | 3.6 V | |
| $0111_B$ | 4.0 V | |
| $1000_B$ | 4.2 V | |
| $1001_B$ | 4.5 V | LEV2V：无请求 |
| $1010_B$ | 4.6 V | |
| $1011_B$ | 4.7 V | |
| $1100_B$ | 4.8 V | |
| $1101_B$ | 4.9 V | |
| $1110_B$ | 5.0 V | |
| $1111_B$ | 5.5 V | |

1） 上电复位之后，自动选择缺省电平值。

表 23　　寄存器 PVCyCONz 位域 LEVxV 的编码

| 编码 | 缺省电压电平 | 注 [1] |
|---|---|---|
| $000_B$ | 0.95 V | |
| $001_B$ | 1.05 V | |
| $010_B$ | 1.15 V | |
| $011_B$ | 1.25 V | |
| $100_B$ | 1.35 V | LEV1V：复位请求 |
| $101_B$ | 1.45 V | LEV2V：中断请求 |
| $110_B$ | 1.55 V | |
| $111_B$ | 1.65 V | |

1）　上电复位之后，自动选择缺省电平值。

## 4.6　Flash 存储器参数

XE164xN 出厂时，所有 Flash 扇区均被擦除且未设置任何保护。

XE164xN Flash 存储器的数据保持时间（即，存储在 Flash 中的数据能被正确恢复的最长时间）和 Flash 存储器被擦除和编程的次数有关。

*注：这些参数未经产品出厂测试，但已经过设计/特性验证。*

*注：适用的工作条件。*

表 24　　Flash 特性

| 参数 | 符号 | 数值 | | | 单位 | 注/<br>测试条件 |
|---|---|---|---|---|---|---|
| | | 最小值 | 典型值 | 最大值 | | |
| Flash 模块并行编程/擦除极限，取决于 Flash 的读操作 | $N_{PP}$ SR | - | - | 2[1] | | $N_{FL_RD} \leq 1$ |
| | | - | - | 1[2] | | $N_{FL_RD} > 1$ |
| 安全页面的擦除耐受性 | $N_{SEC}$ SR | 10 | - | - | 次 | $t_{RET} \leq 20$ 年 |
| Flash 等待状态 [3] | $N_{WSFLASH}$ SR | 1 | - | - | | $f_{SYS} \leq 8$ MHz |
| | | 2 | - | - | | $f_{SYS} \leq 13$ MHz |
| | | 3 | - | - | | $f_{SYS} \leq 17$ MHz |





| 参数 | 符号 | | 数值 | | | 单位 | 注/<br>测试条件 |
|---|---|---|---|---|---|---|---|
| | | | 最小值 | 典型值 | 最大值 | | |
| | | | 4 | - | - | | $f_{SYS}$>17 MHz |
| 每个扇区/页面的擦除时间 | $t_{ER}$ | CC | - | 7[4] | 8.0 | ms | |
| 每个页面的编程时间 | $t_{PR}$ | CC | - | 3[4] | 3.5 | ms | |
| 数据保持时间 | $t_{RET}$ | CC | 20 | - | - | 年 | $N_{ER}$ ≤1000 次 |
| 漏极干扰极限 | $N_{DD}$ | SR | 32 | - | - | 次 | |
| 性能下降至不可接受之前的最大擦除次数 | $N_{ER}$ | SR | 15,000[5] | - | - | 次 | $t_{RET}$ ≤ 5 年 |

1） 当只从一个 Flash 模块或 PSRAM 中执行代码和/或读取数据时，未使用的 Flash 模块可被擦除或编程。当然，提供代码/数据的 Flash 模块不能被擦除/编程。

2） 当从 Flash 模块 0 中执行代码和/或读取数据时，可擦除/编程 Flash 模块 1。

3） IMB_IMBCTRL.WSFLASH 的值。

4） 编程和擦除时间和内部 Flash 时钟源有关。控制状态机需要几个系统时钟周期。只在系统频率极低时该时间才明显延长。

5） 最多 64 个 Flash 扇区可被编程/擦除 15,000 次。所有其它扇区的极限是 1,000 次。

对 Flash 模块的访问由 IMB 控制。内嵌的预取机制优化了顺序访问的性能。

Flash 访问的等待状态只影响非顺序访问。得益于预取机制，等待状态仅部分的影响顺序访问的性能（取决于软件结构）。

## 4.7 AC 参数

这些参数描述 XE164xN 的动态特性。

### 4.7.1 测试波形

这些值用于特性和产品测试（引脚 XTAL1 除外）。

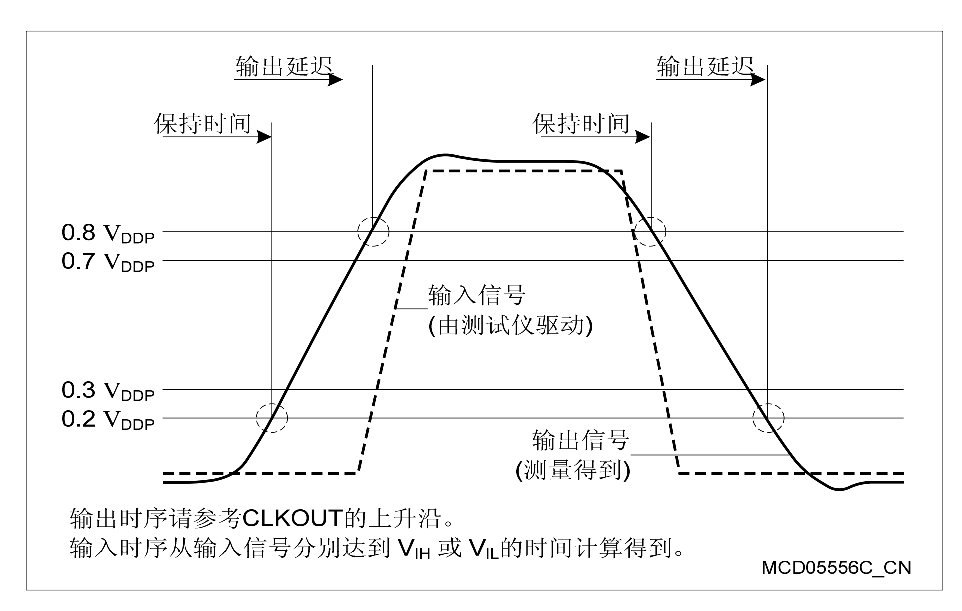



图 17 输入输出波形

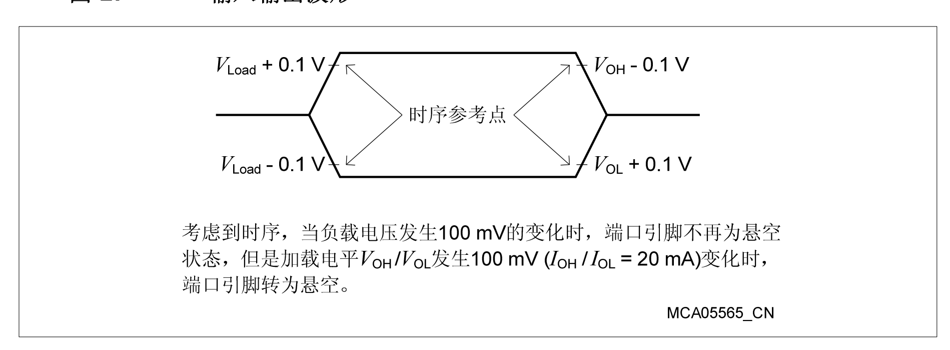



图 18 悬空引脚波形

### 4.7.2 内部时序的定义

XE164xN 的内部操作由内部系统时钟 $f_{SYS}$ 控制。

由于系统时钟信号 $f_{SYS}$ 可采用不同机制由多个内部和外部时钟源产生，因此系统时钟周期的长度（TCS）和偏差（以及产生 $f_{SYS}$ 的外部时序）取决于产生 $f_{SYS}$ 的机制。计算 XE164xN 时序时必须要考虑这点。

锁相环操作 (1:N)
$f_{IN}$
$f_{SYS}$
TCS
直接时钟驱动 (1:1)
$f_{IN}$
$f_{SYS}$
TCS
预分频操作 (N:1)
$f_{IN}$
$f_{SYS}$
TCS
MC_XC2X_CLOCKGEN_CN

**图 19　系统时钟的产生机制**

*注：图 19 举例中PLL操作使用的PLL因子为 1:4；预分频操作使用的分频因子为 2:1。*

外部时序的技术规范（AC 特性）取决于系统时钟周期（TCS）。

#### 直接驱动

选择直接驱动操作时（SYSCON0.CLKSEL = $11_B$），系统时钟直接由输入时钟信号 CLKIN1 驱动：

$f_{SYS} = f_{IN}$

$f_{SYS}$ 的频率与 $f_{IN}$ 的频率相同。在这种情况下，$f_{SYS}$ 高电平和低电平的时间由输入时钟 $f_{IN}$ 的占空比决定。

选择以XTAL1[1] 为输入的旁路操作并使分频因子等于 1，可得到和直接驱动相似的配置。

预分频操作

选择预分频操作时（SYSCON0.CLKSEL = $10_B$，PLLCON0.VCOBY = $1_B$），由晶振时钟（输入时钟信号 XTAL1）或内部时钟经预分频产生系统时钟，预分频因子为 K1（=K1DIV+1）：

$f_{SYS} = f_{OSC}$ / K1

如果选择分频因子为 1，$f_{SYS}$ 的频率等于 $f_{OSC}$ 的频率。在这种情况下，$f_{SYS}$ 高电平和低电平的时间由输入时钟 $f_{OSC}$（外部或内部）的占空比决定。

分频因子 K1 选择最大值时，系统时钟频率最低：

$f_{SYS} = f_{OSC}$ / 1024

#### 4.7.2.1 锁相环（PLL）

选择 PLL 操作时（SYSCON0.CLKSEL = $10_B$，PLLCON0.VCOBY = $0_B$），片上 PLL 被使能用于产生系统时钟。PLL 将输入频率 F 倍频（$f_{SYS} = f_{IN} \times$ **F**）。

**F** 的值由输入分频因子 P（= PDIV+1），倍频因子 N（=NDIV+1）和输出分频因子 K2（=K2DIV+1）按下式计算得到：

（**F** = N /（P × K2））。

输入时钟可选择连至 XTAL1 引脚上的外部时钟源或片上时钟源。

PLL 电路使系统时钟与输入时钟同步。同步操作平稳进行，因此系统时钟频率不会突然变化。

根据输入时钟不断调整从而使 $f_{SYS}$ 的频率最终锁定到 $f_{IN}$。轻微的偏差会导致 $f_{SYS}$ 抖动，进而会影响 TCS 的周期。

AC 特性中的时序与 TCS 有关。在给定情形下，必须使用最小 TCS 来计算时序。

TCS的实际最小值取决于PLL的抖动。由于PLL始终根据输入频率（来自晶体或振荡器）调整输出频率，因此累积抖动有限。这意味着多个TCS周期的相对偏差低于单个 TCS（见公式和 图 20）。

上述问题对于使用等待状态的总线周期和定时器、串行接口等操作尤其重要。对于所有慢速操作或较长周期（如脉冲序列产生或测量、较低波特率等），由 PLL 抖动造成的偏差可以忽略。

---

1）XTAL1 上的电压必须与内核电源电压 $V_{DDI1}$ 兼容。

PLL 的累积抖动值取决于在各时间段内连续输出的 VCO 周期数。VCO 输出时钟经预分频（分频因子 K2）产生系统时钟信号 $f_{SYS}$。VCO 周期数为 K2 × **T**，其中 **T** 为连续 $f_{SYS}$ 周期数（TCS）。

最大累积抖动（长期抖动）$D_{Tmax}$ 定义如下：

$\mathbf{D_{Tmax}}$ **[ns]** $= \pm(220 / (K2 \times f_{SYS}) + 4.3)$

该最大值适用于的条件是：时钟周期数 T> ($f_{SYS}$ / 1.2)或预分频值 K2 > 17。

在所有其它情况下，时间段 **T**× TCS，累积抖动 $D_T$ 由下式决定：

$\mathbf{D_T}$ **[ns]** $= D_{Tmax} \times [(1 - 0.058 \times K2) \times (T-1) / (0.83 \times f_{SYS} - 1) + 0.058 \times K2]$

以上计算公式中 $f_{SYS}$ 的单位是 MHz。

例如，对于 3 个 TCS @ 33 MHz 且 K2 = 4 的情况：

$D_{Tmax} = \pm(220 / (4 \times 33) + 4.3) = 5.97$ ns (在此情况下不能直接使用！)

$D_3 = 5.97 \times [(1 - 0.058 \times 4) \times (3-1) / (0.83 \times 33 - 1) + 0.058 \times 4]$

$= 5.97 \times [0.768 \times 2/26.39 + 0.232]$

$= 1.7$ ns

例如，对于 3 个 TCS @ 33 MHz 且 K2 = 2：

$D_{Tmax} = \pm(220 / (2 \times 33) + 4.3) = 7.63$ ns (在此情况下不能直接使用！)

$D_3 = 7.63 \times [(1 - 0.058 \times 2) \times (3-1) / (0.83 \times 33 - 1) + 0.058 \times 2]$

$= 7.63 \times [0.884 \times 2/26.39 + 0.116]$

$= 1.4$ ns

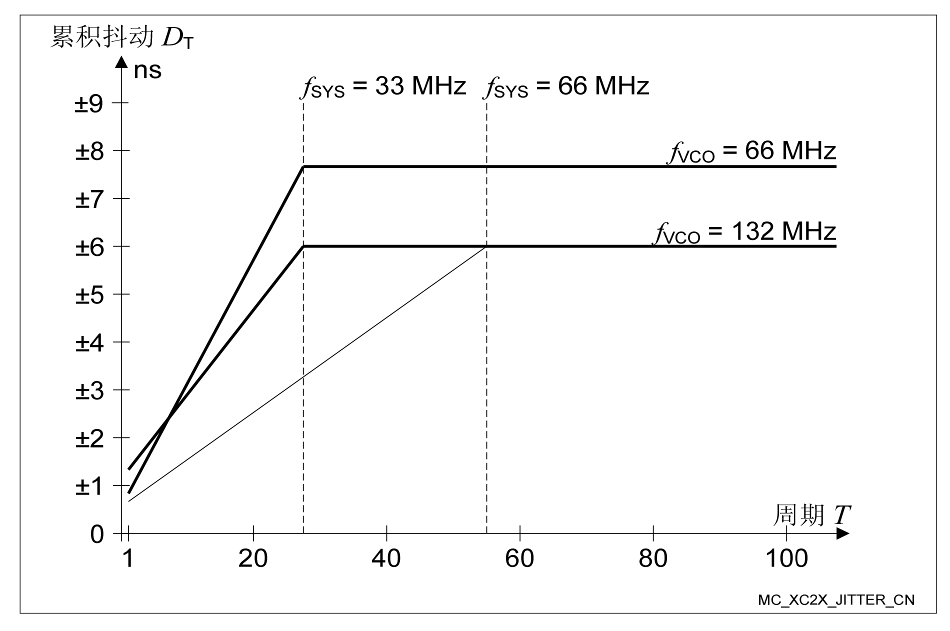



**图 20　　近似的累积 PLL 抖动**

*注：如果每个引脚上的容性负载 $C_L$ 不超过 20 pF，则规定的 PLL 抖动值有效。*

*引出端电源电压的最大峰-峰值噪声（在 $V_{DDPB}$ 引脚 100 和 $V_{SS}$ 引脚 1 之间测量得到）的极限值为峰-峰值电压 $V_{PP}$ = 50 mV。通过使用 PCB 电源层和接地层以及将电源引脚尽可能靠近电源电压来实现。*

### PLL 频段选择

可为 VCO 选择不同的频段，从而通过 PLL 操作可在很宽范围内调整输入和输出频率。

**表 25　　系统 PLL 参数**

| 参数 | 符号 | 数值 | | | 单位 | 注/<br>测试条件 |
|---|---|---|---|---|---|---|
| | | 最小值 | 典型值 | 最大值 | | |

| 参数 | 符号 | 数值 | | | 单位 | 注/ 测试条件 |
|---|---|---|---|---|---|---|
| | | 最小值 | 典型值 | 最大值 | | |
| VCO 输出频率 | $f_{VCO}$ CC | 48 | - | 112 | MHz | *VCOSEL* = $00_B$ *VCOmode* = 受控 |
| | | - | - | 38 | MHz | *VCOSEL* = $00_B$ *VCOmode* = 自由运行 |
| | | 96 | - | 160 | MHz | *VCOSEL* = $01_B$ *VCOmode* = 受控 |
| | | - | - | 76 | MHz | *VCOSEL* = $01_B$ *VCOmode* = 自由运行 |

#### 4.7.2.2 唤醒时钟

选择唤醒操作时（SYSCON0.CLKSEL = $00_B$），系统时钟来自低频唤醒时钟源：

$f_{SYS} = f_{WU}$

该模式下，无需外部时钟源即可维持器件的基本功能，此时的功耗最低。

#### 4.7.2.3 选择和改变工作频率

选择时钟源和时钟产生方式时，向相应位域写入所需参数时必须谨慎，以避免出现不需要的中间状态。

为了优化系统性能和功耗，许多应用在器件工作期间会改变系统时钟频率（$f_{SYS}$）。改变工作频率的同时也会改变开关电流，进而影响电源电压。

为了确保片上 EVR 在产生内核电压时正常工作，需要通过特定的步骤才能改变工作频率。这样可防止电源电压过高或者过低。

为了避免以上问题，建议用户采用推荐的步骤以确保时钟系统进行期望的操作，同时电源系统也工作正常。

请参考编程指南。

### 4.7.3 外部时钟输入参数

这些参数用于 XE164xN 的外部时钟产生。可通过两种方式产生时钟：

- 将**晶体或陶瓷谐振器**连接到引脚 XTAL1/XTAL2
- 与**外部时钟信号**相连
  - 该时钟信号可与引脚 XTAL1（内核电源域）或 CLKIN1（IO 电源域）相连。

若与 CLKIN1 相连，输入信号必须达到规定的输入电平 $V_{IL}$ 和 $V_{IH}$。

若与 XTAL1 相连，最小幅值 $V_{AX1}$（峰-峰值电压）足以满足片上振荡器操作的要求。

*注：给出的时钟时序参数（$t_1$…$t_4$）仅适用于外部时钟输入信号。*

*注：适用的工作条件。*

**表 26　　外部时钟输入特性**

| 参数 | 符号 | | 数值 | | | 单位 | 注/ 测试条件 |
|---|---|---|---|---|---|---|---|
| | | | 最小值 | 典型值 | 最大值 | | |
| 振荡器频率 | $f_{OSC}$ | SR | 4 | - | 40 | MHz | 输入 = 时钟信号 |
| | | | 4 | - | 16 | MHz | 输入 = 晶体或陶瓷谐振器 |
| XTAL1 输入电流绝对值 | $\|I_{IL}\|$ | CC | - | - | 20 | μA | |
| 输入时钟高电平时间 | $t_1$ | SR | 6 | - | - | ns | |
| 输入时钟低电平时间 | $t_2$ | SR | 6 | - | - | ns | |
| 输入时钟上升沿时间 | $t_3$ | SR | - | 8 | 8 | ns | |
| 输入时钟下降沿时间 | $t_4$ | SR | - | 8 | 8 | ns | |
| XTAL1 上的输入电压幅值 [1] | $V_{AX1}$ | SR | 0.3 × $V_{DDIM}$ | - | - | V | $f_{OSC}$ ≥ 4MHz; $f_{OSC}$ < 16MHz |
| | | | 0.4 × $V_{DDIM}$ | - | - | V | $f_{OSC}$ ≥ 16MHz; $f_{OSC}$ < 25MHz |
| | | | 0.5 × $V_{DDIM}$ | - | - | V | $f_{OSC}$ ≥ 25MHz; $f_{OSC}$ ≤ 40MHz |

| 参数 | 符号 | 数值 | | | 单位 | 注/ 测试条件 |
|---|---|---|---|---|---|---|
| | | 最小值 | 典型值 | 最大值 | | |
| XTAL1 上的信号的输入电压范围的极限值 | $V_{IX1}$ SR | -1.7 + $V_{DDI}$ | - | 1.7 | V | [2] |

1） 幅值电压 $V_{AX1}$ 指的是偏移电压 $V_{OFF}$。器件工作期间该偏移电压必须保持稳定，得到的电压峰值必须在 $V_{IX1}$ 规定的极限范围之内。

2） 引脚 XTAL1 上绝不能出现过载。

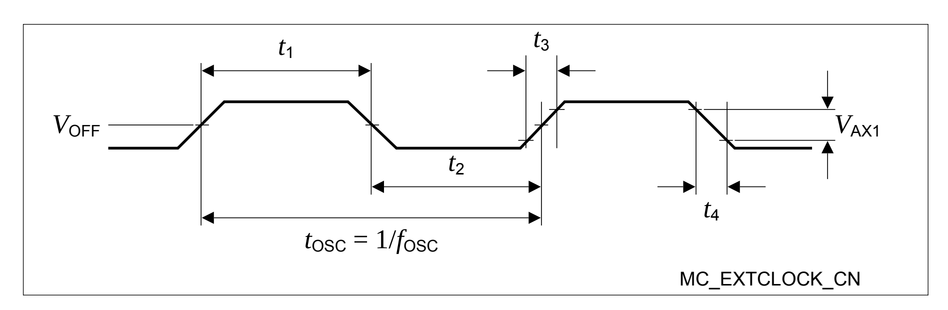



**图 21　　由外部时钟驱动 XTAL1**

*注：由晶体/陶瓷谐振器产生时钟时，强烈建议用户测量最终目标系统（电路版图）中的振荡容差（负阻抗）以确定振荡器操作的最佳参数。*

*晶体和陶瓷谐振器制造商可提供振荡器评估服务。该评估检查晶体/谐振器的规定极限值，从而确保振荡器的操作安全可靠。*

### 4.7.4　引出端特性

XE164xN 的输出引出端驱动器可工作在多种用户可选的模式。强驱动模式可控制需要更高电流的外部元件，如电源桥或 LED。降低输出引出端上的驱动功率能够降低电磁辐射（EME）。强驱动模式下，选择较平缓的边沿可降低 EME。

引出端的动态特性，即上升时间和下降时间，取决于所接的外部电容的充电和放电时间。给出的时序值对应电容为 20 pF 的情况，除非另行声明。

通常，引出端驱动器的性能和可用的电源电压 $V_{DDP}$ 有关。因此，下表分别列出高电压和低电压范围对应的引出端参数值。

*注：这些参数未经产品出厂测试，但已经过设计/特性验证。*

*注：适用的工作条件。*

表 27 在$V_{DDP}$ ≤ 5.5V、$V_{DDP}$ 典型值 5V、$V_{DDP}$ ≥ 4.5V的条件下均有效。

表 27　　标准引出端参数（高电压范围）

| 参数 | 符号 | 数值 | | | 单位 | 注/ 测试条件 |
|---|---|---|---|---|---|---|
| | | 最小值 | 典型值 | 最大值 | | |
| 最大输出驱动电流（绝对值）[1] | $I_{Omax}$ CC | - | - | 4.0 | mA | 驱动强度 = 中等驱动 |
| | | - | - | 10 | mA | 驱动强度 = 强驱动 |
| | | - | - | 0.5 | mA | 驱动强度 = 弱驱动 |
| 标称输出驱动电流（绝对值） | $I_{Onom}$ CC | - | - | 1.0 | mA | 驱动强度 = 中等驱动 |
| | | - | - | 2.5 | mA | 驱动强度 = 强驱动 |
| | | - | - | 0.1 | mA | 驱动强度 = 弱驱动 |
| 上升和下降时间（10%-90%） | $t_{RF}$ CC | - | - | 23 + 0.6*$C_L$ | ns | $C_L \geq 20$ pF<br>$C_L \leq 100$ pF<br>驱动强度 = 中等驱动 |
| | | - | - | 11.6 + 0.22*$C_L$ | ns | $C_L \geq 20$ pF<br>$C_L \leq 100$ pF<br>驱动强度 = 强驱动<br>驱动沿 = 中等坡度边沿 |
| | | | | 4.2 + 0.14*$C_L$ | ns | $C_L \geq 20$ pF<br>$C_L \leq 100$ pF<br>驱动强度 = 强驱动<br>驱动沿 = 陡变边沿 |

| 参数 | 符号 | 数值 | | | 单位 | 注/<br>测试条件 |
|---|---|---|---|---|---|---|
| | | 最小值 | 典型值 | 最大值 | | |
| | | - | - | 20.6 + 0.22*$C_L$ | ns | $C_L \geq 20$ pF<br>$C_L \leq 100$ pF<br>驱动强度 = 强驱动<br>驱动沿 = 平缓边沿 |
| | | - | - | 212 + 1.9*$C_L$ | ns | $C_L \geq 20$ pF<br>$C_L \leq 100$ pF<br>驱动强度 = 弱驱动 |

1） 超过 $|I_{OXnom}|$ 的输出电流可同时从多达 3 个引脚输出。对于任意一组输出引脚（由 16 个相邻引脚组成），每个方向的总输出电流（$\sum I_{OL}$ 和$\sum -I_{OH}$）必须保持在 50 mA 以下。

**表 28　　标准引出端参数（低电压范围）**

| 参数 | 符号 | 数值 | | | 单位 | 注/<br>测试条件 |
|---|---|---|---|---|---|---|
| | | 最小值 | 典型值 | 最大值 | | |
| 最大输出驱动电流（绝对值）[1] | $I_{Omax}$ CC | - | - | 2.5 | mA | 驱动强度 = 中等驱动 |
| | | - | - | 10 | mA | 驱动强度 = 强驱动 |
| | | - | - | 0.5 | mA | 驱动强度 = 弱驱动 |
| 标称输出驱动电流（绝对值） | $I_{Onom}$ CC | - | - | 1.0 | mA | 驱动强度 = 中等驱动 |
| | | - | - | 2.5 | mA | 驱动强度 = 强驱动 |
| | | - | - | 0.1 | mA | 驱动强度 = 弱驱动 |

| 参数 | 符号 | | 数值 | | | 单位 | 注/<br>测试条件 |
|---|---|---|---|---|---|---|---|
| | | | 最小值 | 典型值 | 最大值 | | |
| 上升和下降时间（10%-90%） | $t_{RF}$ | CC | - | - | 37 + 0.65*$C_L$ | ns | $C_L \geq 20$ pF<br>$C_L \leq 100$ pF<br>驱动强度 = 中等驱动 |
| | | | - | - | 24 + 0.3*$C_L$ | ns | $C_L \geq 20$ pF<br>$C_L \leq 100$ pF<br>驱动强度 = 强驱动<br>驱动沿 = 中等坡度边沿 |
| | | | | | 6.2 + 0.24*$C_L$ | ns | $C_L \geq 20$ pF<br>$C_L \leq 100$ pF<br>驱动强度 = 强驱动<br>驱动沿 = 陡变边沿 |
| | | | - | - | 34 + 0.3*$C_L$ | ns | $C_L \geq 20$ pF<br>$C_L \leq 100$ pF<br>驱动强度 = 强驱动<br>驱动沿 = 平缓边沿 |
| | | | - | - | 500+ 2.5*$C_L$ | ns | $C_L \geq 20$ pF<br>$C_L \leq 100$ pF<br>驱动强度 = 弱驱动 |

1） 超过 $|I_{OXnom}|$ 的输出电流可同时从多达 3 个引脚输出。对于任意一组输出引脚（由 16 个相邻引脚组成），每个方向的总输出电流（$\sum I_{OL}$ 和 $\sum -I_{OH}$）必须保持在 50 mA 以下。

### 4.7.5 外部总线时序

以下参数规定 XE164xN 总线接口的特性。

*注：这些参数未经产品出厂测试，但已经过设计/特性验证。*

*注：适用的工作条件。*

**表 29 参数**

| 参数 | 符号 | | 数值 | | | 单位 | 注/ 测试条件 |
|---|---|---|---|---|---|---|---|
| | | | 最小值 | 典型值 | 最大值 | | |
| CLKOUT 周期时间 [1)] | $t_5$ | CC | - | 1/ $f_{SYS}$ | - | ns | |
| CLKOUT 高电平时间 | $t_6$ | CC | 3 | - | - | ns | |
| CLKOUT 低电平时间 | $t_7$ | CC | 3 | - | - | ns | |
| CLKOUT 上升时间 | $t_8$ | CC | - | - | 3 | ns | |
| CLKOUT 下降时间 | $t_9$ | CC | - | - | 3 | ns | |

1） CLKOUT 周期时间受 PLL 抖动的影响。周期越长时，相对偏差降低（见 PLL 偏差计算公式）。

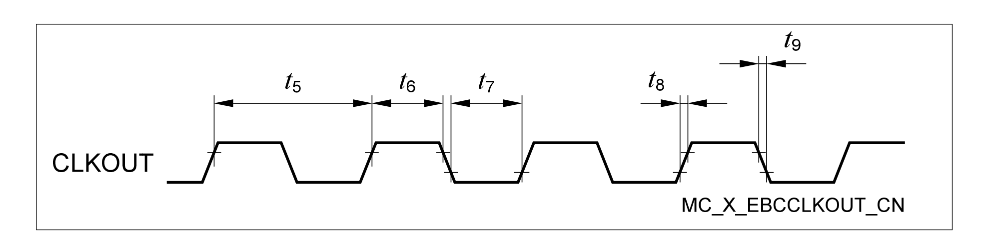



**图 22 CLKOUT 信号时序**

*注：术语 CLKOUT 指的是参考时钟输出信号。选择 $f_{SYS}$ 作为源信号在引脚 P2.8 上产生时钟输出信号 EXTCLK 并使能该引脚的高速时钟驱动器时将产生该参考时钟输出信号。*

**可变的存储器周期**

XE164xN 外部总线周期的执行分为 5 个连续的阶段（AB、C、D、E、F）。每个阶段的持续时间可编程设定（通过 TCONCSx 寄存器）从而使外部总线周期可适用于不同的外部模块（存储器、外设等）。

外部模块可选择通过 READY 握手输入来控制访问阶段的持续时间。

下表总结出外部总线周期的各阶段及相应的持续时间。

**表 30　　可编程的总线周期各阶段（见时序图）**

| 总线周期各阶段 | 参数 | 有效值 | 单位 |
|---|---|---|---|
| 地址建立阶段，该阶段的标准持续时间为（1…2 TCS），如果地址窗改变，则可扩展 0…3 个 TCS。 | tpAB | 1…2（5） | TCS |
| 命令延迟阶段 | tpC | 0…3 | TCS |
| 写数据建立/MUX 三态阶段 | tpD | 0…1 | TCS |
| 访问阶段 | tpE | 1…32 | TCS |
| 地址/写数据保持阶段 | tpF | 0…3 | TCS |

*注：参数的带宽（从最小值到最大值）涵盖了整个工作范围（温度、电压）和工艺变化。不过，对于给定的器件，该带宽比规定的范围要小。这是由一些参数之间的相依性造成的。部分参数相依性在附加的注解中给出（见标准时序）。*

*注：适用的工作条件。*

表 31 在$C_L$ = 20 pF、电压范围 = 高电压范围的条件下有效。

**表 31　　高电压范围的外部总线周期时序**

| 参数 | 符号 | | 数值 | | | 单位 | 注/测试条件 |
|---|---|---|---|---|---|---|---|
| | | | 最小值 | 典型值 | 最大值 | | |
| $\overline{RD}$、$\overline{WR}(\overline{L}/\overline{H})$ 的输出有效延迟 | $t_{10}$ | CC | - | 7 | 13 | ns | |
| $\overline{BHE}$、ALE 的输出有效延迟 | $t_{11}$ | CC | - | 7 | 14 | ns | |
| A23…A0 的地址输出有效延迟 | $t_{12}$ | CC | - | 8 | 14 | ns | |
| AD15…AD0 的地址输出有效延迟（MUX） | $t_{13}$ | CC | - | 8 | 15 | ns | |

| 参数 | 符号 | | 数值 | | | 单位 | 注/ 测试条件 |
|---|---|---|---|---|---|---|---|
| | | | 最小值 | 典型值 | 最大值 | | |
| $\overline{CS}$ 的输出有效延迟 | $t_{14}$ | CC | - | 7 | 13 | ns | |
| AD15…AD0 的数据输出有效延迟（写数据，MUX） | $t_{15}$ | CC | - | 8 | 15 | ns | |
| D15…D0 的数据输出有效延迟（写数据，DEMUX） | $t_{16}$ | CC | - | 8 | 15 | ns | |
| $\overline{RD}$、$\overline{WR}(\overline{L}/\overline{H})$ 的输出保持时间 | $t_{20}$ | CC | -2 | 6 | 8 | ns | |
| $\overline{BHE}$、ALE 的输出保持时间 | $t_{21}$ | CC | -2 | 6 | 10 | ns | |
| AD15…AD0 的地址输出保持时间 | $t_{23}$ | CC | -3 | 6 | 8 | ns | |
| $\overline{CS}$ 的输出保持时间 | $t_{24}$ | CC | -3 | 6 | 11 | ns | |
| D15…D0、AD15…AD0 的数据输出保持时间 | $t_{25}$ | CC | -3 | 6 | 8 | ns | |
| READY、D15…D0、AD15…AD0 的输入建立时间 | $t_{30}$ | SR | 25 | 15 | - | ns | |
| READY、D15…D0、AD15…AD0 的输入保持时间 [1)] | $t_{31}$ | SR | 0 | -7 | - | ns | |

1） 利用触发地址改变和 $\overline{RD}$ 上升沿的内部时钟沿来锁存读数据。$\overline{RD}$ 结束之前改变地址对读周期无影响（非复用）。在 $\overline{RD}$ 上升沿之后，可改变读数据。

表 32 在$C_L$ = 20 pF、电压范围 = 低电压范围的条件下有效。

表 32　　低电压范围的外部总线周期时序

| 参数 | 符号 | 数值 | | | 单位 | 注/<br>测试条件 |
|---|---|---|---|---|---|---|
| | | 最小值 | 典型值 | 最大值 | | |
| $\overline{RD}$、$\overline{WR}(\overline{L}/\overline{H})$ 的输出有效延迟 | $t_{10}$ CC | - | 11 | 20 | ns | |
| $\overline{BHE}$、ALE 的输出有效延迟 | $t_{11}$ CC | - | 10 | 21 | ns | |
| A23…A0 的地址输出有效延迟 | $t_{12}$ CC | - | 11 | 22 | ns | |
| AD15…AD0 的地址输出有效延迟（MUX） | $t_{13}$ CC | - | 10 | 22 | ns | |
| $\overline{CS}$ 的输出有效延迟 | $t_{14}$ CC | - | 10 | 13 | ns | |
| AD15…AD0 的数据输出有效延迟（写数据，MUX） | $t_{15}$ CC | - | 10 | 22 | ns | |
| D15…D0 的数据输出有效延迟（写数据，DEMUX） | $t_{16}$ CC | - | 10 | 22 | ns | |
| $\overline{RD}$、$\overline{WR}(\overline{L}/\overline{H})$ 的输出保持时间 | $t_{20}$ CC | -2 | 8 | 10 | ns | |
| $\overline{BHE}$、ALE 的输出保持时间 | $t_{21}$ CC | -2 | 8 | 10 | ns | |
| AD15…AD0 的地址输出保持时间 | $t_{23}$ CC | -3 | 8 | 10 | ns | |
| $\overline{CS}$ 的输出保持时间 | $t_{24}$ CC | -3 | 6 | 11 | ns | |
| D15…D0、AD15…AD0 的数据输出保持时间 | $t_{25}$ CC | -3 | 8 | 10 | ns | |
| READY、D15…D0、AD15…AD0 的输入建立时间 | $t_{30}$ SR | 29 | 17 | - | ns | |

| 参数 | 符号 | | 数值 | | | 单位 | 注/<br>测试条件 |
|---|---|---|---|---|---|---|---|
| | | | 最小值 | 典型值 | 最大值 | | |
| READY、D15…D0、AD15…AD0 的输入保持时间 [1)] | $t_{31}$ | SR | 0 | -9 | - | ns | |

1） 利用触发地址改变和 $\overline{RD}$ 上升沿的内部时钟沿来锁存读数据。 $\overline{RD}$ 结束之前改变地址对读周期无影响（非复用）。在 $\overline{RD}$ 上升沿之后，可改变读数据。



**图 23** 复用总线周期

$tp_{AB}$ $tp_C$ $tp_D$ $tp_E$ $tp_F$

CLKOUT

$t_{21}$ $t_{11}$

ALE

$t_{11}/t_{12}/t_{14}$ $t_{24}$

A23-A0, $\overline{BHE}$, $\overline{CSx}$ 地址

$t_{20}$ $t_{10}$

$\overline{RD}$
$\overline{WR}(\overline{L}/\overline{H})$

$t_{31}$ $t_{30}$

D15-D0 (读) 数据 In

$t_{16}$ $t_{25}$

D15-D0 (写) 数据 Out

MC_X_EBCDEMUX_CN

**图 24** 非复用总线周期

### 4.7.5.1 利用 READY 输入控制总线周期

外部电路可通过 READY 输入信号控制外部总线周期的持续时间。该输入信号的极性可选。

同步 READY 支持最短的总线周期，但要求输入信号和参考信号 CLKOUT 同步。

异步 READY 信号对输入信号没有时序限制，但由于需要额外的同步操作，因此会引入最少一个等待状态。为了能够安全同步，异步 READY 信号的最短持续时间为一个 CLKOUT 周期加上输入建立时间。

相应命令（$\overline{RD}$ 或 $\overline{WR}$ ）的后沿（上升沿）会使有效的 READY 信号失效。

如果下一个总线周期由 READY 控制，在下一个总线周期的第一个有效采样点之前，必须禁止 READY 信号。该采样点和下一个周期设置的阶段有关。

**图 25　　READY 时序**

*注：如果在所示采样点处 READY 输入的采样值无效（“Not Rdy”），则插入一个 READY 控制的等待状态（tpRDY）。*

*如果在所示采样点处 READY 输入采样值有效（“Ready”），则终止当前运行的总线周期。*

*请注意同步和异步 READY 的采样点不同。*

*在该示例中，使用 READY 输入值之前插入一个强制的等待状态（见 tpE）。*

### 4.7.6 同步串行接口时序

下列参数用于工作在 SSC 模式的 USIC 通道。

*注：这些参数未经产品出厂测试，但已经过设计/特性验证。*

*注：适用的工作条件。*

表 33 在$C_L$ = 20 pF、SSC = 主控模式、电压范围 = 高电压范围的条件下有效。

**表 33 USIC SSC 主控模式时序（高电压范围）**

| 参数 | 符号 | | 数值 | | | 单位 | 注/<br>测试条件 |
|---|---|---|---|---|---|---|---|
| | | | 最小值 | 典型值 | 最大值 | | |
| 从控选择输出 SELO 有效至第一个 SCLKOUT 发送沿 | $t_1$ | CC | $t_{SYS}$ - 8[1)] | - | - | ns | |
| SCLKOUT 的最后一个接收沿到从控选择输出 SELO 无效 | $t_2$ | CC | $t_{SYS}$ - 6[1)] | - | - | ns | |
| 数据输出 DOUT 有效时间 | $t_3$ | CC | -6 | - | 9 | ns | |
| 接收数据输入建立至 SCLKOUT 接收沿的时间 | $t_4$ | SR | 31 | - | - | ns | |
| SCLKOUT 接收沿之后数据输入 DX0 的保持时间 | $t_5$ | SR | -4 | - | - | ns | |

1） $t_{SYS}$ = 1/ $f_{SYS}$。

表 34 在$C_L$ = 20 pF、SSC = 主控模式、电压范围 = 低电压范围的条件下有效。

**表 34 USIC SSC 主控模式时序（低电压范围）**

| 参数 | 符号 | 数值 | | | 单位 | 注/<br>测试条件 |
|---|---|---|---|---|---|---|
| | | 最小值 | 典型值 | 最大值 | | |

| 参数 | 符号 | | 数值 | | | 单位 | 注/<br>测试条件 |
|---|---|---|---|---|---|---|---|
| | | | 最小值 | 典型值 | 最大值 | | |
| 从控选择输出 SELO 有效至第一个 SCLKOUT 发送沿 | $t_1$ | CC | $t_{SYS}$ - 10[1)] | - | - | ns | |
| SCLKOUT 的最后一个接收沿到从控选择输出 SELO 无效 | $t_2$ | CC | $t_{SYS}$ - 9[1)] | - | - | ns | |
| 数据输出 DOUT 有效时间 | $t_3$ | CC | -7 | - | 11 | ns | |
| 接收数据输入建立至 SCLKOUT 接收沿的时间 | $t_4$ | SR | 40 | - | - | ns | |
| SCLKOUT 接收沿之后数据输入 DX0 的保持时间 | $t_5$ | SR | -5 | - | - | ns | |

1） $t_{SYS}$ = 1/ $f_{SYS}$。

表 35 在$C_L$ = 20 pF、SSC = 从控模式、电压范围 = 高电压范围的条件下有效。

表 35　　USIC SSC 从控模式时序（高电压范围）

| 参数 | 符号 | | 数值 | | | 单位 | 注/<br>测试条件 |
|---|---|---|---|---|---|---|---|
| | | | 最小值 | 典型值 | 最大值 | | |
| 选择输入 DX2 建立至时钟输入 DX1 的第一个发送沿 [1)] | $t_{10}$ | SR | 7 | - | - | ns | |
| 时钟输入 DX1 最后一个接收沿之后选择输入 DX2 的保持时间 [1)] | $t_{11}$ | SR | 7 | - | - | ns | |
| 接收数据输入建立至移位时钟接收沿的时间 [1)] | $t_{12}$ | SR | 7 | - | - | ns | |

| 参数 | 符号 | | 数值 | | | 单位 | 注/ 测试条件 |
|---|---|---|---|---|---|---|---|
| | | | 最小值 | 典型值 | 最大值 | | |
| 时钟输入 DX1 接收沿之后数据输入 DX0 的保持时间 [1] | $t_{13}$ | SR | 5 | - | - | ns | |
| 数据输出 DOUT 有效时间 | $t_{14}$ | SR | 7 | - | 33 | ns | |

1） 这些输入时序对于从控选择输入、移位时钟输入和接收数据输入的异步输入信号处理有效（位 DXnCR.DSEN = 0）。

表 36 在 $C_L$ = 20 pF、SSC = 从控模式、电压范围 = 低电压范围的条件下有效。

**表 36 USIC SSC 从控模式时序（低电压范围）**

| 参数 | 符号 | | 数值 | | | 单位 | 注/ 测试条件 |
|---|---|---|---|---|---|---|---|
| | | | 最小值 | 典型值 | 最大值 | | |
| 选择输入 DX2 建立至时钟输入 DX1 的第一个发送沿 [1] | $t_{10}$ | SR | 7 | - | - | ns | |
| 时钟输入 DX1 最后一个接收沿之后选择输入 DX2 的保持时间 [1] | $t_{11}$ | SR | 7 | - | - | ns | |
| 接收数据输入建立至移位时钟接收沿的时间 [1] | $t_{12}$ | SR | 7 | - | - | ns | |
| 时钟输入 DX1 接收沿之后数据输入 DX0 的保持时间 [1] | $t_{13}$ | SR | 5 | - | - | ns | |
| 数据输出 DOUT 有效时间 | $t_{14}$ | SR | 8 | - | 41 | ns | |

1） 这些输入时序对于从控选择输入、移位时钟输入和接收数据输入的异步输入信号处理有效（位 DXnCR.DSEN = 0）。





主控模式时序

选择输出 SELOx　无效　有效　无效　$t_1$　$t_2$

时钟输出 SCLKOUT　第一个发送沿　接收沿　发送沿　最后一个接收沿

$t_3$　$t_3$

数据输出 DOUT

$t_4$　$t_5$　$t_4$　$t_5$

数据输入 DX0　数据有效　数据有效

从控模式时序

选择输入 DX2　无效　有效　无效　$t_{10}$　$t_{11}$

时钟输入 DX1　第一个发送沿　接收沿　发送沿　最后一个接收沿

$t_{12}$　$t_{13}$　$t_{12}$　$t_{13}$

数据输入 DX0　数据有效　数据有效

$t_{14}$　$t_{14}$

数据输出 DOUT

发送沿：在该时钟沿，发送数据被移至发送数据输出。
接收沿：在该时钟沿，在接收数据输入上的接收数据被锁存。
该图中的设置为：BRGH.SCLKCFG = $00_B$，还适用于SCLKCFG = $01_B$，SCLKOUT信号反向的情况。

USIC_SSC_TMGX_CN.VSD

**图 26　　USIC – SSC 主控/从控模式时序**

*注：该时序图为标准配置下的时序，即从控选择信号低电平有效、串行时钟信号未移位、未反向。*

### 4.7.7 调试接口时序

调试器可通过 2 引脚 DAP 接口或标准 JTAG 接口与 XE164xN 进行通信。

**通过 DAP 进行调试**

下列参数用于通过 DAP 接口进行的调试操作。

*注：这些参数未经产品出厂测试，但已经过设计/特性验证。*

*注：适用的工作条件。*

表 37 在$C_L$ = 20 pF、电压范围 = 高电压范围的条件下有效。

**表 37 DAP 接口时序参数（高电压范围）**

| 参数 | 符号 | | 数值 | | | 单位 | 注/测试条件 |
|---|---|---|---|---|---|---|---|
| | | | 最小值 | 典型值 | 最大值 | | |
| DAP0 时钟周期 [1] | $t_{11}$ | SR | 25 | - | - | ns | |
| DAP0 高电平时间 | $t_{12}$ | SR | 8 | - | - | ns | |
| DAP0 低电平时间 [1] | $t_{13}$ | SR | 8 | - | - | ns | |
| DAP0 时钟上升时间 | $t_{14}$ | SR | - | - | 4 | ns | |
| DAP0 时钟下降时间 | $t_{15}$ | SR | - | - | 4 | ns | |
| DAP1 建立至 DAP0 上升沿 | $t_{16}$ | SR | 6 | - | - | ns | |
| DAP0 上升沿之后 DAP1 的保持时间 | $t_{17}$ | SR | 6 | - | - | ns | |
| 每个 DAP0 时钟周期内 DAP1 的有效时间 [2] | $t_{19}$ | CC | 17 | 20 | - | ns | |

1） 有关时钟周期的规定，可参见 DAP 一章中 Active::IDLE 协议状态。

2） 主机必须通过分析同步通信应答找到一个合适的采样点。

表 38 在$C_L$ = 20 pF、电压范围 = 低电压范围的条件下有效。

表 38　　DAP 接口时序参数（低电压范围）

| 参数 | 符号 | | 数值 | | | 单位 | 注/ 测试条件 |
|---|---|---|---|---|---|---|---|
| | | | 最小值 | 典型值 | 最大值 | | |
| DAP0 时钟周期 [1] | $t_{11}$ | SR | 25 | - | - | ns | |
| DAP0 高电平时间 | $t_{12}$ | SR | 8 | - | - | ns | |
| DAP0 低电平时间 [1] | $t_{13}$ | SR | 8 | - | - | ns | |
| DAP0 时钟上升时间 | $t_{14}$ | SR | - | - | 4 | ns | |
| DAP0 时钟下降时间 | $t_{15}$ | SR | - | - | 4 | ns | |
| DAP1 建立至 DAP0 上升沿 | $t_{16}$ | SR | 6 | - | - | ns | |
| DAP0 上升沿之后 DAP1 的保持时间 | $t_{17}$ | SR | 6 | - | - | ns | |
| 每个 DAP0 时钟周期内 DAP1 的有效时间 [2] | $t_{19}$ | CC | 12 | 17 | - | ns | |

1）　有关时钟周期的规定，可参见 DAP 一章中 Active::IDLE 协议状态。

2）　主机必须通过分析同步通信应答找到一个合适的采样点。

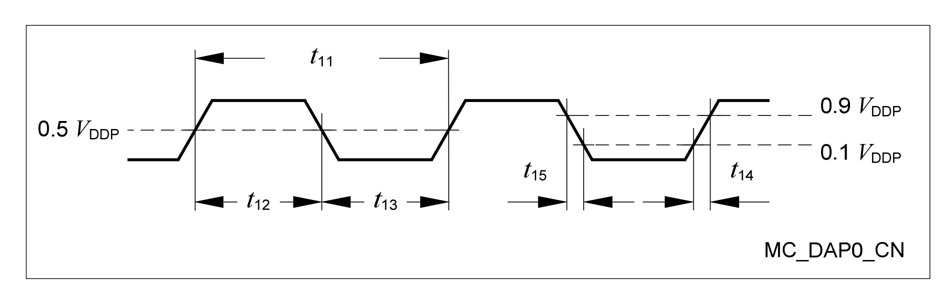



图 27　　测试时钟时序（DAP0）

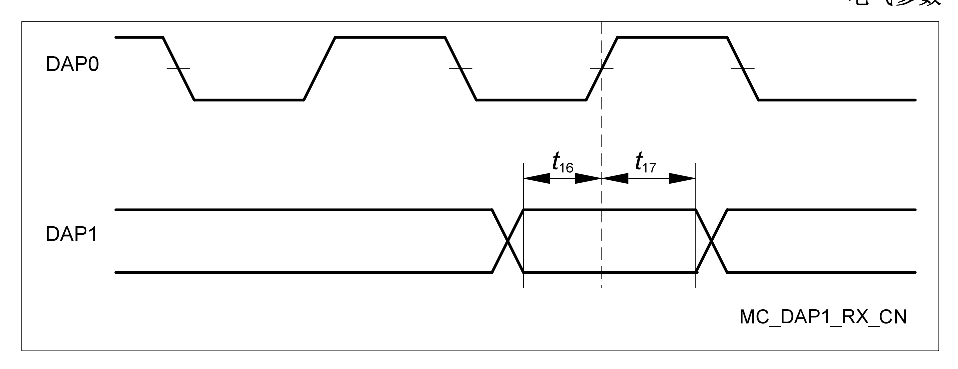



图 28　　主机至器件的 DAP 时序

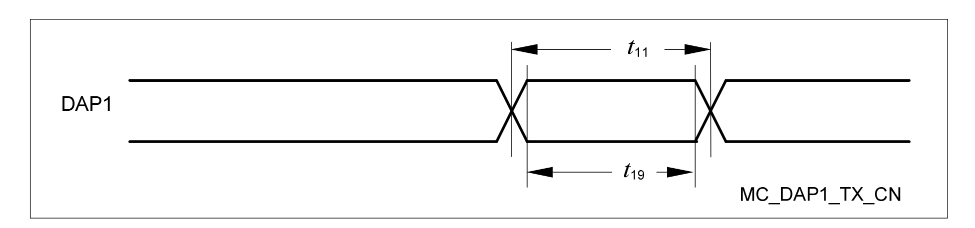



图 29　　器件至主机的 DAP 时序

*注：通过评估同步-请求同步序列报文，由接收调试器确定发送时序。*

**通过 JTAG 进行调试**

下列参数用于通过 JTAG 接口进行的调试操作。JTAG 模块完全符合 IEEE1149.1-2000 标准。

*注：这些参数未经产品出厂测试，但已经过设计/特性验证。*

*注：适用的工作条件。*

表 39 在$C_L$ = 20 pF、电压范围 = 高电压范围的条件下有效。

**表 39　　JTAG 接口时序参数（高电压范围）**

| 参数 | 符号 | | 数值 | | | 单位 | 注/ 测试条件 |
|---|---|---|---|---|---|---|---|
| | | | 最小值 | 典型值 | 最大值 | | |
| TCK 时钟周期 | $t_1$ | SR | 50 | - | - | ns | 1) |

| 参数 | 符号 | | 数值 | | | 单位 | 注/<br>测试条件 |
|---|---|---|---|---|---|---|---|
| | | | 最小值 | 典型值 | 最大值 | | |
| TCK 高电平时间 | $t_2$ | SR | 16 | - | - | ns | |
| TCK 低电平时间 | $t_3$ | SR | 16 | - | - | ns | |
| TCK 时钟上升时间 | $t_4$ | SR | - | - | 8 | ns | |
| TCK 时钟下降时间 | $t_5$ | SR | - | - | 8 | ns | |
| TDI/TMS 建立至 TCK 上升沿的时间 | $t_6$ | SR | 6 | - | - | ns | |
| TCK 上升沿之后 TDI/TMS 的保持时间 | $t_7$ | SR | 6 | - | - | ns | |
| 从 TCK 下降沿至 TDO 有效（传播延迟）[2) | $t_8$ | CC | - | 25 | 29 | ns | |
| TCK 下降沿之后 TDO 从高阻至有效的时间 [2)3) | $t_9$ | CC | - | 25 | 29 | ns | |
| TCK 下降沿之后 TDO 从有效至高阻的时间 [2) | $t_{10}$ | CC | - | 25 | 29 | ns | |
| TCK 下降沿之后 TDO 的保持时间 [2) | $t_{18}$ | CC | 5 | - | - | ns | |

1） 典型情况下，JTAG 接口支持的最高传送速率为 20 MHz。

2） TCK 的下降沿用于产生 TDO 时序。

3） TDO 的建立时间由 TCK 周期时间隐含给定。

表 40 在$C_L$ = 20 pF、电压范围 = 低电压范围的条件下有效。

**表 40 JTAG 接口时序参数（低电压范围）**

| 参数 | 符号 | | 数值 | | | 单位 | 注/<br>测试条件 |
|---|---|---|---|---|---|---|---|
| | | | 最小值 | 典型值 | 最大值 | | |
| TCK 时钟周期 | $t_1$ | SR | 50 | - | - | ns | |
| TCK 高电平时间 | $t_2$ | SR | 16 | - | - | ns | |

| 参数 | 符号 | | 数值 | | | 单位 | 注/<br>测试条件 |
|---|---|---|---|---|---|---|---|
| | | | 最小值 | 典型值 | 最大值 | | |
| TCK 低电平时间 | $t_3$ | SR | 16 | - | - | ns | |
| TCK 时钟上升时间 | $t_4$ | SR | - | - | 8 | ns | |
| TCK 时钟下降时间 | $t_5$ | SR | - | - | 8 | ns | |
| TDI/TMS 建立至 TCK 上升沿的时间 | $t_6$ | SR | 6 | - | - | ns | |
| TCK 上升沿之后 TDI/TMS 的保持时间 | $t_7$ | SR | 6 | - | - | ns | |
| 从 TCK 下降沿至 TDO 有效（传播延迟）[1) ] | $t_8$ | CC | - | 32 | 36 | ns | |
| TCK 下降沿之后 TDO 从高阻至有效的时间 [2)1)] | $t_9$ | CC | - | 32 | 36 | ns | |
| TCK 下降沿之后 TDO 从有效至高阻的时间 [1)] | $t_{10}$ | CC | - | 32 | 36 | ns | |
| TCK 下降沿之后 TDO 的保持时间 [1)] | $t_{18}$ | CC | 5 | - | - | ns | |

1） TCK 的下降沿用于产生 TDO 时序。

2） TDO 的建立时间由 TCK 周期时间隐含给定。

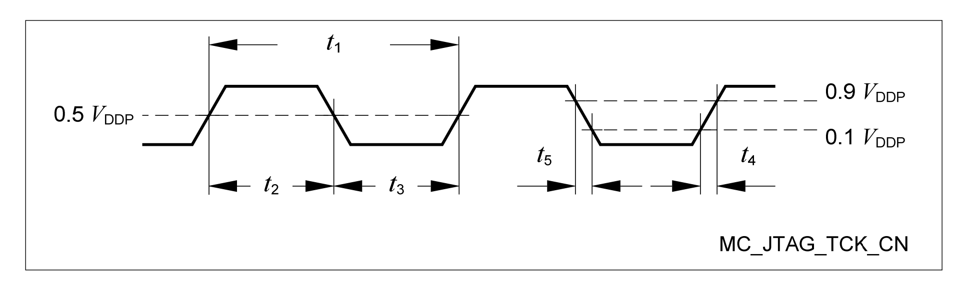



图 30 测试时钟时序（TCK）

TCK
TMS
TDI
TDO
$t_6$ $t_7$ $t_6$ $t_7$ $t_9$ $t_8$ $t_{10}$ $t_{18}$
MC_JTAG_CN

**图 31** **JTAG 时序**

# 5 封装和可靠性

XE166 家族器件采用 PG-LQFP 封装（“绿色”塑料小外形四方扁平封装）。必须符合下面的技术规范以确保 XE164xN 正确集成到目标系统中。

## 5.1 封装

这些参数规定芯片的封装。

**表 41 封装参数（PG-LQFP-100-8）**

| 参数 | 符号 | 极限值 | | 单位 | 注 |
|---|---|---|---|---|---|
| | | 最小值 | 最大值 | | |
| 裸露的引出端尺寸 | Ex × Ey | - | 5.2 × 5.2 | mm | - |
| 耗散功率 | $P_{DISS}$ | - | 0.8 | W | - |
| 结-环境热阻 | $R_{ΘJA}$ | - | 54 | K/W | 无散热过孔 1) |
| | | | 49 | K/W | 4 层，无引出端 2) |
| | | | 27 | K/W | 4 层，引出端 3) |

1） 器件安装在无散热过孔的 4 层板上，裸露的引出端未焊接。

2） 器件安装在有散热过孔的 4 层 JEDEC 板上（根据 JESD 51-7），裸露的引出端未焊接。

3） 器件安装在有散热过孔的 4 层 JEDEC 板上（根据 JESD 51-7），裸露的引出端焊接到板上。

*注：为了改善 EMC 特性，无论是否为了散热的需要，均建议用户将裸引出端连接到电路板的地线/接地层。*

*在应用笔记中给出电路板版图设计的例子。*

**封装兼容性考虑**

XE164xN 是 XE166 微控制器家族的成员。它在某种程度上与相近家族和子家族兼容。

每种封装都是为其所属器件优化设计的。因此，对于相同引脚数的不同器件，它们的封装可能略有差别，尤其是裸引出端（若存在）的尺寸可能改变。

如果实际应用考虑或计划使用不同类型的器件，必须要确保电路板版图的设计适合所有封装的需要。

Bottom View

Index Marking

Exposed Diepad

1) Does not include plastic or metal protrusion of 0.25 max. per side

PG-LQFP-100-3, -4, -8-PO V11

**图 32　　PG-LQFP-100-8（塑料绿色薄型四角扁平封装）**

所有尺寸的单位为 mm。

用户可从英飞凌的 “封装”网页 http://www.infineon.com/packages获取产品的封装、包装和标识等完整信息。

## 5.2 散热问题

XE164xN 在系统中工作时，芯片产生的所有热量必须散发到周围环境中，以防止过热而造成热损坏。

可散发的最大热量取决于芯片封装以及如何将其集成到目标板上。由“热阻 $R_{\Theta JA}$”将这些参数量化。耗散功率必须在极限范围内以保证平均结温不超过 150°C。

结温和环境温度之间的温度差由下面的公式决定：

$\Delta T = (P_{INT} + P_{IOSTAT} + P_{IODYN}) \times R_{\Theta JA}$

内部功耗定义为：

$P_{INT} = V_{DDP} \times I_{DDP}$（开关电流和漏电流）

由输出驱动器引起的静态外部功耗定义为：

$P_{IOSTAT} = \Sigma((V_{DDP}-V_{OH}) \times I_{OH}) + \Sigma(V_{OL} \times I_{OL})$

由输出驱动器引起的动态外部功耗（$P_{IODYN}$）取决于连接到对应引脚的容性负载以及它们的开关频率。

对于给定的系统配置，若总耗散功率超过了规定的极限值，必须采取以下措施以确保系统正常工作：

- 降低 $V_{DDP}$，如有可能
- 降低系统频率
- 减少输出引脚数
- 减少输出驱动器上的负载

## 英飞凌科技中国总部地址及联系方式

---

英飞凌科技（中国）有限公司
地址：上海市浦东张江高科技园区松涛路647弄7-8号
邮编：201203
电话：+86-21-61019000
传真：+86-21-50806204
主页：www.infineon.com/cn

w w w . i n f i n e o n . c o m

Published by Infineon Technologies AG